

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Hiroshi MATSUSHITA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: FAILURE ANALYSIS SYSTEM, FAILURE ANALYSIS METHOD, A COMPUTER PROGRAM  
PRODUCT AND A MANUFACTURING METHOD FOR A SEMICONDUCTOR DEVICE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
**Application No.** \_\_\_\_\_ **Date Filed** \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-263277	September 9, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 9日

出 願 番 号

Application Number:

特願2002-263277

[ ST.10/C ]:

[ JP 2002-263277 ]

出 願 人

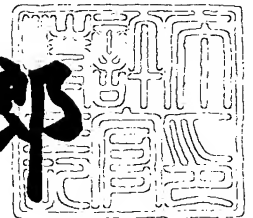
Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019024

【書類名】 特許願

【整理番号】 APB027006

【提出日】 平成14年 9月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明の名称】 不良解析システム、不良解析方法、不良解析プログラム  
、及び半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 松下 宏

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不良解析システム、不良解析方法、不良解析プログラム、及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 チップ領域内に配置された複数のメモリユニットの配置情報と前記複数のメモリユニットの不良情報に基づいて、前記複数のメモリユニットのチップ領域内不良座標を算出するチップ領域内不良座標算出部と、

前記チップ領域内不良座標とウェーハ面内のチップ領域配置を示す位置情報に基づいて、ウェーハ内不良座標を算出するウェーハ内不良座標算出部と、

前記ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示するマッピング表示処理部

とを備えることを特徴とする不良解析システム。

【請求項 2】 前記不良情報は、前記複数のメモリユニットのフェイルビットマップ又はパス／フェイルマップであることを特徴とする請求項 1 に記載の不良解析システム。

【請求項 3】 前記マッピング表示した結果に基づいて不良モードの特徴量を算出する特徴量算出部と、

前記不良モードに対する特徴量の閾値となる特徴量閾値情報と算出した前記特徴量とを比較して不良モードの有無の判定を行う特徴量比較部

とを更に備えることを特徴とする請求項 1 に記載の不良解析システム。

【請求項 4】 前記不良モードは、円弧状の外周不良であることを特徴とする請求項 3 の不良解析システム。

【請求項 5】 複数の特徴量間に階層化構造を設定し、特徴量を階層化した特徴量階層化情報に基づいて、未知の不良モードの検出及び分類を行う特徴量階層化処理部を更に備えることを特徴とする請求項 3 に記載の不良解析システム。

【請求項 6】 チップ領域内に配置された複数のメモリユニットの配置情報、ウェーハ面内のチップ領域配置を示す位置情報、及び前記複数のメモリユニットの不良情報を入力するステップと、

前記配置情報と前記不良情報に基づいて、前記複数のメモリユニットのチップ

領域内不良座標を算出するステップと、

前記位置情報と前記チップ領域内不良座標に基づいて、ウェーハ内不良座標を算出するステップと、

前記ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示するステップ

とを有することを特徴とする不良解析方法。

【請求項 7】 前記マッピング表示した結果に基づいて不良モードの特徴量を算出するステップと、

前記特徴量と特徴量閾値情報記憶装置に記憶された特徴量閾値情報とを比較して不良モードの有無の判定を行うステップ

とを更に有することを特徴とする請求項 6 に記載の不良解析方法。

【請求項 8】 複数の特徴量間に階層化構造を設定し、特徴量を階層化した特徴量階層化情報と前記複数の特徴量についてそれぞれ前記不良モードの有無の判定を行った結果に基づいて、未知の不良モードの検出及び分類を行うステップを更に有することを特徴とする請求項 7 に記載の不良解析方法。

【請求項 9】 チップ領域内に配置された複数のメモリユニットの配置情報、ウェーハ面内のチップ領域配置を示す位置情報、及び前記複数のメモリユニットの不良情報を入力する命令と、

前記配置情報と前記不良情報に基づいて、前記複数のメモリユニットのチップ領域内不良座標を算出する命令と、

前記位置情報と前記チップ領域内不良座標に基づいて、ウェーハ内不良座標を算出する命令と、

前記ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示する命令

とをコンピュータに実行させるための不良解析プログラム。

【請求項 10】 複数の製造プロセスを順に実行することにより、複数のメモリユニットが配置されたチップ領域をウェーハ上に複数個配置する工程と、

前記複数のメモリユニットの特性をそれぞれ測定して不良情報を取得する工程と、

前記チップ領域に配置された複数のメモリユニットの配置情報を用いて、前記不良情報をウェーハ面上の物理座標に従ってマッピング表示し、前記マッピング表示の結果をもとに不良を検出する工程と、

前記不良の発生原因となった前記複数の製造プロセス中の特定の製造プロセスの条件を修正又はその製造プロセスに用いられる製造装置を修理もしくは改造する工程

とからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造プロセスにおける歩留まり低下の原因を解析する不良解析システム、不良解析方法、不良解析プログラム、これらを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】

L S I の歩留まりを向上させるためには、歩留まりロスを分析し、その原因となっている製造プロセス、製造装置あるいは設計条件を早期に解明し、改善することが重要である。近年の半導体装置の微細化の進展により、様々なプロセス起因の不良が顕在化している。不良改善の方策として、メモリ製品において取得されるウェーハ工程終了直後のテスター情報をマッピング表示したフェイルビットマップ(FBM: Fail Bit Map)やインラインの欠陥マップを解析することが重要である。ウェーハ面内の不良分布は、ランダムな不良分布とクラスタリングした不良分布に分けられる。クラスタリングした不良分布は、製造プロセスや製造装置等に起因するシステムティックな要因があると考えられ、歩留まり低下の大きな原因である。したがって、不良分布からクラスタリング不良を抽出することが不良原因解明の第1段階であり、その手法が提案されている(例えば、非特許文献1参照。)。製造プロセスや製造装置等に起因する不良は、そのプロセスや製造装置固有の不良パターンをウェーハ面上に生じさせる。したがって、クラスタリング不良のパターン分析が不良発生原因解明の糸口であると見なせる。そこで、

不良原因解明の第2段階として、こうしたウェーハ面上の不良パターンの解析が行われるようになった。メモリ製品のフェイルビットマップのミクロな分類（ビット不良、ロウ不良、カラム不良等）からその物理的原因（配線のオープン、ショート、それが起こっているレイヤー等）が推定できる。また、フェイルビットマップのウェーハ面上のマクロな分布を分類することで、不良原因特定が試みられている。また、フェイルビットマップ上の不良ビット間距離の確率分布関数波形により7種類のモード分類が行えることが報告されている（例えば、非特許文献2参照。）。また、フェイルビットマップのマクロな分類（ウェーハ面内位置分布）とミクロな分類とを組み合わせることで55種類の不良モード分類を行うことが報告されている（例えば、非特許文献3参照。）。さらに、フェイルビットマップを画像として計算機内に取り込み、ニューラルネットワークによるパターン分類も試みられている（例えば、非特許文献3参照。）。また更に、メモリ製品において微小な分割単位毎に不良ビット数をカウントするフェイルビットカウント（FBC: Fail Bit Count）データ方式が提案されている。このように、メモリ製品において取得されるフェイルビットマップやフェイルビットカウントは、不良パターンの分類において非常に有用な情報を提供する。

## 【0003】

## 【非特許文献1】

ミツタケ (K. Mitsutake) , ウシク (Y. Ushiku) , アラカワ (Y. Arakawa) , イシブミ (T. Ishibumi) , 及びイトウ (O. Ito) , 「システムティック不良要因の新しい抽出方法 (New method of extraction of systematic failure component) 」 , 第10回半導体製造方法シンポジウム国際論文集 (Proc. 10th Int. Symp. Semiconductor Manufacturing) , 2001年, p. 247-250

## 【非特許文献2】

スギモト (M. Sugimoto) , 及びタナカ (M. Tanaka) , 「LSI歩留り向上のための不良分布の特徴化アルゴリズム (Characterization algorithm of failure distribution for LSI yield improvement) 」 , 第8回半導体の製造方法国際シンポジウム論文集 (Proc. 8th Int. Symp. Semiconductor Manuf



acturing) , 2 0 0 1 年, p p . 2 7 5 - 2 7 8

【非特許文献 3】

ナカマエ (K. Nakamae) , イトウ (A. Itoh) , 及びフジオカ (H. Fujioka) , 「メモリーフェイルビットマップの不良パターン分類及び解析システム (Fail pattern classification and analysis system of memory fail bit maps) 」 , 第 4 回マイクロシステムズのモデリングとシミュレーション国際会議論文集 (Proc. 4th Int. Conf. Modeling and Simulation of Microsystems) , 2 0 0 1 年, p p . 5 9 8 - 6 0 1

【0 0 0 4】

【発明が解決しようとする課題】

近年、マイクロプロセッシングユニット、ロジック回路、アナログ回路、およびメモリユニット等を混載するシステム L S I が半導体集積回路においてその生産規模が拡大されつつある。このようなシステム L S I に混載されるメモリユニットにおいては、汎用メモリ製品に比べ小規模で、かつチップ領域内に複数に分かれて存在する場合が多い。その場合、複数に分割されたフェイルビットマップの確認による不良パターンの認識は非常に困難である。また、フェイルビットマップの取得にはテスターの占有時間が長くなり、全生産ウェーハで取得することは困難であり、フェイルビットマップの取得ウェーハ数を増やせば、工場の生産性が低下するという問題があった。また、さらに従来の不良自動分類システムにおいては、システムにとって未知の不良モードは分類できないという問題があった。

【0 0 0 5】

そこで、本発明は上記問題に鑑みてなされたもので、マイクロプロセッシングユニット、ロジック回路、アナログ回路、およびメモリユニット等を混載するシステム L S I を対象として、チップ領域内に分散する小容量の複数メモリユニットの不良情報を空間的不良位置情報として用いることにより、チップ領域のサイズ以下の空間分解能を持つ不良位置情報を工場の生産性を低下させることなく大量の生産ウェーハにおいて取得することが可能な不良解析システム、不良解析方法、不良解析プログラム、及び半導体装置の製造方法を提供することを目的とす

る。

#### 【0006】

##### 【課題を解決するための手段】

上記課題を解決するために、本発明の第1の特徴は、（イ）チップ領域内に配置された複数のメモリユニットの配置情報と複数のメモリユニットの不良情報に基づいて、複数のメモリユニットのチップ領域内不良座標を算出するチップ領域内不良座標算出部と、（ロ）チップ領域内不良座標とウェーハ面内のチップ領域配置を示す位置情報に基づいて、ウェーハ内不良座標を算出するウェーハ内不良座標算出部と、（ハ）ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示するマッピング表示処理部とを備える不良解析システムであることを要旨とする。第1の特徴において、不良情報は、複数のメモリユニットのフェイルビットマップ又はパス／フェイルマップであることが好ましい。また、マッピング表示した結果に基づいて不良モードの特徴量を算出する特徴量算出部と、不良モードに対する特徴量の閾値となる特徴量閾値情報と算出した前記特徴量とを比較して不良モードの有無の判定を行う特徴量比較部とを更に備えることが好ましい。また更に、複数の特徴量間に階層化構造を設定し、特徴量を階層化した特徴量階層化情報に基づいて、未知の不良モードの検出及び分類を行う特徴量階層化処理部を更に備えることが好ましい。

#### 【0007】

本発明の第2の特徴は、（イ）チップ領域内に配置された複数のメモリユニットの配置情報、ウェーハ面内のチップ領域配置を示す位置情報、及び複数のメモリユニットの不良情報を入力するステップと、（ロ）配置情報と不良情報に基づいて、複数のメモリユニットのチップ領域内不良座標を算出するステップと、（ハ）位置情報とチップ領域内不良座標に基づいて、ウェーハ内不良座標を算出するステップと、（ニ）ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示するステップとを有する不良解析方法であることを要旨とする。第2の特徴において、マッピング表示した結果に基づいて不良モードの特徴量を算出するステップと、特徴量と特徴量閾値情報記憶装置に記憶された特徴量閾値情報とを比較して不良モードの有無の判定を行うステップとを更に有することが好

ましい。また、複数の特徴量間に階層化構造を設定し、特徴量を階層化した特徴量階層化情報と複数の特徴量についてそれぞれ前記不良モードの有無の判定を行った結果に基づいて、未知の不良モードの検出及び分類を行うステップを更に有することが好ましい。

#### 【0008】

本発明の第3の特徴は、(イ)チップ領域内に配置された複数のメモリユニットの配置情報、ウェーハ面内のチップ領域配置を示す位置情報、及び複数のメモリユニットの不良情報を入力する命令と、(ロ)配置情報と不良情報に基づいて、複数のメモリユニットのチップ領域内不良座標を算出する命令と、(ハ)位置情報とチップ領域内不良座標に基づいて、ウェーハ内不良座標を算出する命令と、(ニ)ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示する命令とをコンピュータに実行させるための不良解析プログラムであることを要旨とする。

#### 【0009】

本発明の第4の特徴は、(イ)複数の製造プロセスを順に実行することにより、複数のメモリユニットが配置されたチップ領域をウェーハ上に複数個配置する工程と、(ロ)複数のメモリユニットの特性をそれぞれ測定して不良情報を取得する工程と、(ハ)チップ領域に配置された複数のメモリユニットの配置情報を用いて、不良情報をウェーハ面上の物理座標に従ってマッピング表示し、マッピング表示の結果をもとに不良を検出する工程と、(ニ)不良の発生原因となった複数の製造プロセス中の特定の製造プロセスの条件を修正又はその製造プロセスに用いられる製造装置を修理もしくは改造する工程とからなる半導体装置の製造方法であることを要旨とする。

#### 【0010】

##### 【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分は同一又は類似の符号を付している。ただし、図面は模式的なものであり、チップ領域の寸法と半導体ウェーハの寸法との関係等の各寸法の比率等は現実のものとは異なることに留意すべきである。従って、具体

的な寸法等は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

#### 【 0 0 1 1 】

##### (第 1 の実施の形態)

本発明の第 1 の実施の形態に係る不良解析システムは、複数のメモリユニットを混載するシステム L S I において、ウェーハ面上の不良モードを簡便に認識することを可能とする。

#### 【 0 0 1 2 】

図 1 は、本発明の実施の形態において対象となるシステム L S I のチップ（チップ領域）1 内に配置された複数のメモリユニットのレイアウト構造の一例である。通常、システム L S I においてはマイクロプロセッシングユニット、ロジック回路等がチップレイアウトの大部分を占めているが、この例では、図 1 に示すように、小容量（数 k バイト）の S R A M ユニット（以下、メモリユニットという）2 a, 2 b, . . . , 2 i が 9 箇所分散して存在している場合を示している。図 2 は、S R A M のウェーハ工程終了後、ウェーハ 3 上の各メモリユニット 2 a, 2 b, . . . , 2 i について電気的特性をテストした結果得られたフェイルビットマップ 7 a, 7 b, . . . , 7 i を模式的に示した図である。図 2 においては 1 3 個のチップ領域 1 がウェーハ 3 上に配置された場合として模式的に示しているが、ウェーハ 3 上に配置されるチップ領域 1 の数は、チップ領域 1 の面積とウェーハ 3 の面積との関係で決められる。一般にはチップ領域 1 が一辺が 1 0 m m ~ 2 0 m m であり、ウェーハ 3 は直径 2 0 0 m m ~ 3 0 0 m m  $\phi$  等のサイズが用いられる。図 1 に示す各メモリユニット 2 a, 2 b, . . . , 2 i に対応して、9 枚のフェイルビットマップ 7 a, 7 b, . . . , 7 i が得られる。図 2 において、黒点が打たれている箇所が不良ビット 4 を表している。図 2 に示すように、この模式的に示したフェイルビットマップ 7 a, 7 b, . . . , 7 i から不良ビット 4 がランダムに分布している様子しか読み取ることができない。そこで、本発明の第 1 の実施の形態においては、チップ領域内に配置された複数のメモリユニットの配置情報を用いて、各メモリユニットのフェイルビットマップをウェーハ面上の物理座標に従ってマッピング表示する。

## 【 0 0 1 3 】

第 1 の実施の形態に係る不良解析システムは、図 3 に示すように、回路配置情報記憶装置 1 2、露光位置情報記憶装置 1 3、ウェーハ I D 情報記憶装置 1 4、不良情報記憶装置 1 5、チップ領域内不良座標記憶装置 1 6、ウェーハ内不良座標記憶装置 1 7、マッピング表示情報記憶装置 1 8、中央処理制御装置(C P U) 1 0 0 からなる。更に、C P U 1 0 0 には、入力装置 3 1、出力装置 3 2、プログラム記憶装置 3 3、データ記憶装置 3 4 が接続されている。更に、C P U 1 0 0 は、チップ領域内不良座標算出部 4 1、ウェーハ内不良座標算出部 4 2、マッピング表示処理部 4 3 を備えている。

## 【 0 0 1 4 】

入力装置 3 1 は、キーボード、マウス等の機器を指す。入力装置 3 1 から入力操作が行われると対応するキー情報が C P U 1 0 0 に伝達される。出力装置 3 2 は、モニタなどの画面を指し、液晶表示装置(L C D)、発光ダイオード(L E D) パネル、エレクトロルミネッセンス(E L) パネル等が使用可能である。この出力装置 3 2 は、C P U 1 0 0 のマッピング表示処理部 4 3 により制御され、マッピング表示結果などを表示する。プログラム記憶装置 3 3 は、チップ領域内不良座標の計算、ウェーハ内不良座標の計算、マッピング表示情報の表示などを C P U 1 0 0 に実行させるためのプログラムを保存している。データ記憶装置 3 4 は、C P U 1 0 0 における演算において、計算途中や解析途中のデータを一時的に保存する。

## 【 0 0 1 5 】

回路配置情報記憶装置 1 2 は、チップ領域内に配置された複数のメモリユニットの配置情報を格納している。露光位置情報記憶装置 1 3 は、ウェーハ面内のチップ領域配置位置を示す露光位置情報を格納している。ウェーハ I D 情報記憶装置 1 4 は、ウェーハを識別するための I D 番号等のウェーハ I D 情報を格納している。不良情報記憶装置 1 5 は、フェイルビットマップ又はパス／フェイルマップ等の不良情報を格納している。具体的には、ウェーハ工程終了後にウェーハ上の各メモリユニットについて電気的特性をテストした結果得られるフェイルビットマップや、アセンブル工程前にウェーハ形状の状態で電気的特性をテストした

結果得られるパス／フェイルマップ等を不良情報として格納している。

【 0 0 1 6 】

チップ領域内不良座標算出部 4 1 は、不良情報記憶装置 1 5 と回路配置情報記憶装置 1 2 のデータに基づいて、チップ領域内の各不良ビットの座標（以下、不良座標という）を算出する。この算出手順は、プログラム記憶装置 3 3 から読み出されたプログラムに従って行われる。算出途中に用いられる計算結果などはデータ記憶装置 3 4 に一時的に保存され、算出されたチップ領域内不良座標はチップ領域内不良座標記憶装置 1 6 に保存される。

【 0 0 1 7 】

ウェーハ内不良座標算出部 4 2 は、チップ領域内不良座標記憶装置 1 6 と露光位置情報記憶装置 1 3 のデータに基づいて、ウェーハ内不良座標を算出する。この算出手順は、プログラム記憶装置 3 3 から読み出されたプログラムに従って行われる。算出途中に用いられる計算結果などはデータ記憶装置 3 4 に一時的に保存され、算出されたウェーハ内不良座標はウェーハ内不良座標記憶装置 1 7 に保存される。また、ウェーハ内不良座標算出部 4 2 は、チップ領域内のすべてのメモリユニットについて不良座標を算出したかどうかを判断する。不良座標を算出していないチップ領域内のメモリユニットがある場合は、チップ領域内不良座標算出部 4 1 にその情報を伝達する。

【 0 0 1 8 】

マッピング表示処理部 4 3 は、ウェーハ内不良座標記憶装置 1 7 のデータに基づいて、ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示する。このマッピング手順は、プログラム記憶装置 3 3 から読み出されたプログラムに従って行われる。マッピング表示の結果はマッピング表示情報記憶装置 1 8 に保存される。マッピング表示処理部 4 3 は、すべての対象となるウェーハについてマッピング表示したかどうかを判断する。マッピング表示していないウェーハがある場合には、チップ領域内不良座標算出部 4 1 にその情報を伝達する。また、マッピング表示の結果はマッピング表示処理部 4 3 により、出力装置 3 2 の画面で確認することも可能である。

【 0 0 1 9 】

次に、本発明の第 1 の実施の形態に係る不良解析方法について、図 4 を参照して説明する。ここでは、不良情報としてフェイルビットマップを用いる場合について説明する。

【 0 0 2 0 】

(イ) まず、ステップ S 1 0 1 において、回路配置情報記憶装置 1 2 からチップ領域内に配置された複数のメモリユニットの配置情報を入力する。続いて、ステップ S 1 0 2 で、露光位置情報記憶装置 1 3 からウェーハ面内のチップ領域配置を示す露光位置情報を入力する。そして、ステップ S 1 0 3 で、ウェーハ I D 情報記憶装置 1 5 からウェーハを識別するための I D 番号等のウェーハ I D 情報を入力する。次に、ステップ S 1 0 4 において、不良情報記憶装置 1 5 からフェイルビットマップの不良情報を入力する。具体的には、図 2 に示すようなフェイルビットマップ 7 a, 7 b, . . . , 7 i を入力する。

【 0 0 2 1 】

(ロ) ステップ S 1 0 5 において、チップ領域内不良座標算出部 4 1 は、ステップ S 1 0 1 で入力した配置情報とステップ S 1 0 4 で入力した不良情報に基づいて、チップ領域内不良座標を算出する。この算出結果はチップ領域内不良座標記憶装置 1 6 に保存される。

【 0 0 2 2 】

(ハ) ステップ S 1 0 6 において、ウェーハ内不良座標算出部 4 2 は、ステップ S 1 0 2 で入力した露光位置情報とステップ S 1 0 5 で算出したチップ領域内不良座標に基づいて、ウェーハ内不良座標を算出する。この算出結果はウェーハ内不良座標記憶装置 1 7 に保存される。

【 0 0 2 3 】

(ニ) 次に、ステップ S 1 0 7 において、ウェーハ内不良座標算出部 4 2 は、チップ領域内のすべてのメモリユニットについて不良座標を算出したかどうかを判定する。チップ領域内のすべてのメモリユニットについて不良座標を算出していない場合には、ステップ S 1 0 5 に戻る。チップ領域内のすべてのメモリユニットについて不良座標を算出した場合には、ステップ 1 0 8 に進む。

【 0 0 2 4 】

(ホ) ステップ S 1 0 8 において、マッピング表示処理部 4 3 は、S 1 0 6 で算出されたウェーハ内不良座標を、ウェーハ面上の物理座標に従って図 5 に示すようにマッピング表示する。図 5 においては、不良ビット 4 が線状に並び、ウェーハ面上にスクラッチが発生していることがわかる。

## 【 0 0 2 5 】

(ヘ) ステップ S 1 0 9 において、マッピング表示処理部 4 3 は、S 1 0 8 で得られたマッピング表示結果に、ステップ S 1 0 3 で入力したウェーハ I D 情報を付加する。このウェーハ I D 情報を付加したマッピング表示結果は、マッピング表示情報記憶装置 1 8 に保存される。

## 【 0 0 2 6 】

(ト) ステップ S 1 1 0 において、マッピング表示処理部 4 3 は、すべての対象ウェーハについて S 1 0 5 ～ S 1 0 8 の処理を行ったかどうかを判定する。すべての対象ウェーハについて処理を行っていない場合には、ステップ S 1 0 3 で入力したウェーハ I D 情報のうち未処理のウェーハが残っているのでステップ S 1 0 3 に戻る。すべての対象ウェーハについて処理を行った場合には、処理を終了する。

## 【 0 0 2 7 】

このように、チップ領域内に配置された複数のメモリユニットの配置情報を用いてフェイルビットマップをウェーハ面上の物理座標に従ってマッピング表示することにより、より詳細な不良ビットの位置情報や不良パターンを判別することが可能となる。

## 【 0 0 2 8 】

次に、本発明の第 1 の実施の形態に係る不良解析方法において、不良情報としてパス／フェイルマップを用いる場合について説明する

通常、フェイルビットマップの取得はテスターの占有時間が長いとため、生産ウェーハの一部しかフェイルビットマップが取得されない場合が多い。しかし、不良のウェーハ面内分布には、問題となる製造プロセスや製造装置固有のパターンが現れていると考えられ、不良原因特定の重要な手がかりを与える。不良原因解析の観点では、なるべく多くのフェイルビットマップを取得することが望ましい



が、テスト時間の増大による工場の生産性低下は避けなければならない。フェイルビットマップが取得されなくても、アセンブル工程の前にウェーハ形状の状態ですべてのテストが行われ、そのパス／フェイル判定結果、すなわちパス／フェイルマップの情報が残されている場合がある。このテストは全ウェーハについて行われるためフェイルビットマップに比べて豊富な不良情報となっている。

## 【 0 0 2 9 】

図 6 は、アセンブル工程の前にウェーハ形状の状態ですべての電気的特性をテストした結果得られたパス／フェイルマップ 8 a, 8 b, . . . , 8 i を模式的に示した図である。ここでは、図 1 に示すチップ領域 1 内の 9 個のメモリユニット 2 a, 2 b, . . . , 2 i のパス／フェイルマップが全ウェーハについて取得されているものとする。図 1 に示す 9 個のメモリユニット 2 a, 2 b, . . . , 2 i に対応して、各メモリユニット毎に 9 枚のパス／フェイルマップ 8 a, 8 b, . . . , 8 i が得られる。図 6 に示すように、この 9 枚のパス／フェイルマップ 8 a, 8 b, . . . , 8 i からはウェーハ面上の特徴的な不良パターンを認識することは困難である。そこで、上述した第 1 の実施の形態に係る不良解析方法をフェイルビットマップについて適用したのと同様に、チップ領域内に配置された複数のメモリユニットの配置情報を用いて、各メモリユニットのパス／フェイルマップをウェーハ面上の物理座標に従ってマッピング表示する。

## 【 0 0 3 0 】

図 7 は、各メモリユニット 2 a, 2 b, . . . , 2 i のチップ領域内における配置情報を用いて、メモリユニット 2 a, 2 b, . . . , 2 i のウェーハ面上における物理座標を求め、この物理座標に従ってパス／フェイルマップ 8 a, 8 b, . . . , 8 i をマッピング表示した結果である。図 7 に示すように、図 5 に示す不良ビット単位でのマッピング表示結果に比べて、不良メモリユニット単位でマッピング表示をしているため、ウェーハ面上のスクラッチを明確に認識することが可能となる。

## 【 0 0 3 1 】

システム L S I では小容量ながら複数のメモリ部がチップ領域内に分散して存在している場合が多い。このような場合、各メモリのパス／フェイルマップをウ

ウェーハ面上の物理座標に従ってマッピング表示することにより、チップ領域のサイズ以下の空間分解能を持つ不良パターン情報を得ることが可能となる。

【 0 0 3 2 】

以上述べたように、本発明の第 1 の実施の形態によれば、システム L S I における不良パターン情報を高い空間分解能で、かつ工場の生産性を低下させることなく取得することが可能となる。

【 0 0 3 3 】

次に、上述した第 1 の実施の形態に係る不良解析方法において、チップ領域内に配置された複数のメモリユニットの配置情報に沿って、図 8 に示すパス／フェイルマップをウェーハ 3 面上の物理座標に従ってマッピング表示した結果を図 1 0 に示す。図 1 0 では、ウェーハの外周に不良メモリユニット 5 が集中しているが、その形状が細い円弧状になっていることがわかる（以下、図 1 0 のような分布の不良を「円弧状外周不良」という）。この円弧状外周不良は、図 9 に示すチップ領域単位でのパス／フェイルマップでは分解能が低いため判別できない不良モードである。この不良モードはフェイルビットマップを用いることでも十分判別できるものであるが、テスト時間がかかる等の問題により、通常このウェーハのフェイルビットマップは取得されない。これに対し、上述した第 1 の実施の形態に係る不良解析方法においては、不良情報としてパス／フェイルマップを用いたマッピング表示方法によってこうした不良モードを認識することが可能である。

【 0 0 3 4 】

ウェーハの外周付近に不良が集中する原因としては様々な要因が考えられる。例えば、膜厚がウェーハ外周において不均一な分布を有する場合や、ウェーハの外周へダストが付着しやすい場合などの要因が考えられる。各々の不良原因によって、ウェーハ工程終了後のテストで判明する不良のウェーハ面内分布には、それぞれ異なる不良パターンが生じる。その意味で不良パターンの分類が不良原因解明にとって重要である。図 1 0 で判明した円弧状外周不良は、その不良の分布状態が幾何学的対称性を有することから、膜厚の不均一性や、ダストの付着によって生じるものではないことは明らかである。原因を解明するには、同様な円弧

状の不良パターンが生じているウェーハを抽出し、その共通要因を見つけることが必要である。フェイルビットマップは取得ウェーハに限られているため、サンプリング等の問題により発生頻度が低い不良モードは検出できない問題がある。しかし、第 1 の実施の形態に係る不良解析システムのパス／フェイルマップのマッピング表示方法によれば、全ウェーハでデータの表示が可能なので、すべての不良モードが検出可能である。不良パターンの検出には、オペレータによるマップの目視による方法がある。しかし、全生産ウェーハを人間がチェックすることは不可能であり、また定量性や判断ミスの問題もある。

## 【 0 0 3 5 】

(第 2 の実施の形態)

本発明の第 2 の実施の形態に係る不良解析システムは、第 1 の実施の形態に係る不良解析システムにおけるパス／フェイルマップのマッピング表示結果を入力として、特徴量を計算し、システム L S I における不良パターンの自動検出および自動分類を可能とする。

## 【 0 0 3 6 】

図 8 は、S R A M のウェーハ工程終了後にチップ領域内の 9 個の各メモリユニットについて電気的特性をテストした結果得られたパス／フェイルマップ 9 a , 9 b , . . . , 9 i である。図 8 に示すように、各メモリユニットについてウェーハの外周付近のチップに不良メモリユニット 5 が多い傾向が見られる。図 9 は、このメモリユニットすべてについてのチップ領域単位でのパス／フェイルマップである。図 9 に示すように、やはりウェーハの外周付近に不良チップ領域 6 が多い傾向があることがわかる。

## 【 0 0 3 7 】

第 2 の実施の形態に係る不良解析システムは、図 1 1 に示すように、回路配置情報記憶装置 1 2、露光位置情報記憶装置 1 3、ウェーハ I D 情報記憶装置 1 4、不良情報記憶装置 1 5、チップ領域内不良座標記憶装置 1 6、ウェーハ内不良座標記憶装置 1 7、マッピング表示情報記憶装置 1 8、特徴量閾値情報記憶装置 1 9、特徴量情報記憶装置 2 0、中央処理制御装置(C P U) 1 0 0 からなる。更に、C P U 1 0 0 には、入力装置 3 1、出力装置 3 2、プログラム記憶装置 3 3

、データ記憶装置 3 4 が接続されている。CPU 1 0 0 は、チップ領域内不良座標算出部 4 1、ウェーハ内不良座標算出部 4 2、マッピング表示処理部 4 3、特徴量算出部 4 4、特徴量比較部 4 5 を備えている。図 3 の第 1 の実施の形態に係る不良解析システムと比較すれば、CPU 1 0 0 は、第 1 の実施の形態に係る不良解析システムの CPU 1 0 0 が備える構成の他に、特徴量算出部 4 4、特徴量比較部 4 5 を備えていることとなる。チップ領域内不良座標算出部 4 1、ウェーハ内不良座標算出部 4 2、マッピング表示処理部 4 3 については、第 1 の実施の形態で説明したのでここでは省略する。

## 【 0 0 3 8 】

特徴量算出部 4 4 は、パス／フェイルマップをマッピング表示した結果を用いて、円弧状外周不良の特徴量を算出する。具体的な特徴量の算出方法については後述する。なお、特徴量算出部 4 4 は、円弧状外周不良以外の各種不良モードの特徴量についても同様に計算することが可能である。特徴量比較部 4 5 は、算出された特徴量と特徴量閾値情報記憶装置 1 9 の特徴量閾値情報とを比較し、円弧状外周不良の有無の判定を行うことができる。「特徴量閾値情報」とは、不良モード、例えば円弧状外周不良に対する特徴量の閾値情報である。円弧状外周不良の有無の判定結果は、算出された特徴量と共に特徴量情報記憶装置 2 0 に保存される。

## 【 0 0 3 9 】

次に、本発明の第 2 の実施の形態に係る不良解析方法について、図 1 2 を参照して説明する。ここでは、上述した第 1 の実施の形態に係る不良解析方法において、不良情報としてパス／フェイルマップを用いて、ステップ S 1 0 1 ～ S 1 1 0 までの処理によりマッピング表示結果が取得されているものとする。

## 【 0 0 4 0 】

(イ) まず、ステップ S 2 0 1 において、特徴量閾値情報記憶装置 1 9 から特徴量閾値情報を入力する。続いて、ステップ S 2 0 2 で、マッピング表示処理部 4 3 からパス／フェイルマップのマッピング表示結果を入力する。

## 【 0 0 4 1 】

(ロ) ステップ S 2 0 3 において、特徴量算出部 4 4 は、パス／フェイルマッ

プのマッピング表示結果を用いて円弧状外周不良の特徴量を算出する。具体的な特徴量の算出方法については後述する。

【 0 0 4 2 】

(ハ) ステップ S 2 0 4 において、特徴量比較部 4 5 は、ステップ S 2 0 3 で算出された特徴量を特徴量閾値情報記憶装置 1 9 の特徴量閾値情報と比較して、円弧状外周不良の有無の判定を行う。算出された特徴量が特徴量閾値情報よりも小さければ、ステップ S 2 0 5 において、円弧状外周不良無しと判定する。一方、算出された特徴量が特徴量閾値情報よりも大きい等しければ、ステップ S 2 0 6 において、円弧状外周不良有りと判定する。

【 0 0 4 3 】

(ニ) ステップ S 2 0 7 において、特徴量比較部 4 5 は、ステップ S 2 0 3 で得られた特徴量算出結果とステップ S 2 0 4 ～ S 2 0 6 で判定された円弧状外周不良の有無の判定結果に、ウェーハ I D 情報記憶装置 1 4 から入力したウェーハ I D 情報を付加する。このウェーハ I D 情報を付加した特徴量算出結果と円弧状外周不良の有無の判定結果は、特徴量情報記憶装置 2 0 に保存される。

【 0 0 4 4 】

(ホ) ステップ S 2 0 8 において、特徴量比較部 4 5 は、すべての対象ウェーハについて S 2 0 1 ～ S 2 0 7 の処理を行ったかどうかを判定する。すべての対象ウェーハについて処理を行っていない場合には、ステップ S 2 0 3 に戻る。一方、すべての対象ウェーハについて処理を行った場合には、ステップ S 2 0 9 に進む。

【 0 0 4 5 】

(ヘ) ステップ S 2 0 9 において、特徴量比較部 4 5 は、すべての特徴量を算出したかどうかを判定する。すべての特徴量について算出していない場合には、ステップ S 2 0 2 に戻る。一方、すべての特徴量について算出した場合には処理を終了する。

【 0 0 4 6 】

以下に、図 1 2 のステップ S 2 0 3 における特徴量の算出方法について説明する。まず、円弧状外周不良の幾何学的対称性として真円で表すことができる。そ

の真円の中心点座標、および半径は、ロット、およびウェーハにほとんど依存しない。この計算は、不良位置情報がチップ領域よりも小さいメモリユニットのウェーハ面上座標として与えられているため可能となる。そこで、円弧状の外周不良が生じる領域を領域Aとし、領域Aにおける不良メモリユニット密度 $d_A$ を求める。密度 $d_A$ は、領域Aに属する不良メモリユニット数を、領域Aに属する全メモリユニット数で割ったものである。同様に、領域Aに属さない領域を領域Bとし、領域Bにおける不良メモリユニット密度 $d_B$ を求める。そして、式(1)により円弧状外周不良の偏り度 $p_i$ を求める。

【0047】

$$p_i = -2 \{ d_B / (d_A + d_B) \} + 1 \quad \cdots \cdots (1)$$

偏り度 $p_i$ は、不良が領域Aのみに集中している場合には”1”の値を、不良がウェーハ全体に均等に分布している場合には”0”の値を、不良が領域A以外の領域に集中している場合には”-1”の値を取る。

【0048】

一方、円弧状外周不良の幾何学的特徴として、領域Aにおいてある程度の連続した弧長を持つことが挙げられる。そこで、メモリユニット間の距離に関する閾値 $h$ を設定し、閾値 $h$ 以内の距離にあるメモリユニットが共に不良である場合には連続した不良であるとみなし、両メモリユニット間の距離を「不良の長さ」とする。さらに、閾値 $h$ 以内の距離にあるメモリユニットが不良の場合にはそのメモリユニットまでの距離を加算していく。このようにして不良の長さを算出する。そして、領域Aに属する最も長い不良の長さを連続度 $p_c$ とする。

【0049】

次に、図13に示すように、 $(p_i, p_c)$ からなる2次元空間を考える。円弧状外周不良が最も強く現れていると考えられる領域に”1”の値を、円弧状外周不良が最も存在しないと考えられる領域に”0”の値を、円弧状外周不良か否かの境界と考えられる領域に”0.5”の値を割り付ける。そして、円弧状外周不良に対するスカラー量の特徴量 $a$ を求める。この特徴量 $a$ が閾値0.5以上の値である場合には、円弧状外周不良がそのウェーハに存在し、特徴量 $a$ が閾値0.5未満の値である場合には、円弧状外周不良はウェーハに存在しないと判断す

る。

【 0 0 5 0 】

このように、システム L S I において各メモリユニットのパス／フェイルマップの情報を用いることにより、チップ領域以下の分解能が必要な不良モードを自動検出する特徴量を計算することが可能となる。また、フェイルビットマップと異なり、全ウェーハで取得されるデータを用いることができるため、発生頻度の低い不良モードでも検出することが可能である。

【 0 0 5 1 】

以上述べたように、本発明の第 2 の実施の形態によれば、システム L S I における不良を高精度に自動検出し、かつ工場の生産性に影響を与えることなく行うことが可能である。

【 0 0 5 2 】

(第 3 の実施の形態)

本発明の第 3 の実施の形態に係る不良解析システムは、予め登録していない未知の不良パターンにおいても自動分類を可能とする。

【 0 0 5 3 】

第 1 及び第 2 の実施の形態に係る不良解析方法により、データ取得ウェーハ数が限られているフェイルビットマップを用いることなく、システム L S I のチップレイアウトの特徴であるチップ領域内に複数個分散した小容量のメモリユニットの全数検査結果を用いることにより、高い空間分解能の不良解析システムを構築することが可能であることを述べた。この方法により発生頻度の低い不良モードも含めて様々な不良パターンがシステム L S I の生産において存在することが明らかになった。しかし、第 1 及び第 2 の実施の形態に係る不良解析方法により、大量のデータによる不良自動検出が可能になるため、未知の不良パターンの数自体が膨大になる。そこで、本発明の第 3 の実施の形態に係る不良解析システムにおいては、どのカテゴリーに属する未知パターンであるのかを自動的に行うことを可能とする。

【 0 0 5 4 】

第 3 の実施の形態に係る不良解析システムは、図 1 4 に示すように、回路配置

情報記憶装置 1 2、露光位置情報記憶装置 1 3、ウェーハ I D 情報記憶装置 1 4、不良情報記憶装置 1 5、チップ領域内不良座標記憶装置 1 6、ウェーハ内不良座標記憶装置 1 7、マッピング表示情報記憶装置 1 8、特徴量閾値情報記憶装置 1 9、特徴量情報記憶装置 2 0、特徴量階層化情報記憶装置 2 1、未知不良パターン情報記憶装置 2 2、特徴量階層化情報記憶装置 2 1、中央処理制御装置(C P U) 1 0 0 からなる。更に、C P U 1 0 0 には、入力装置 3 1、出力装置 3 2、プログラム記憶装置 3 3、データ記憶装置 3 4 が接続されている。C P U 1 0 0 は、チップ領域内不良座標算出部 4 1、ウェーハ内不良座標算出部 4 2、マッピング表示処理部 4 3、特徴量算出部 4 4、特徴量比較部 4 5、特徴量階層化処理部 4 6 を備えている。図 1 1 に示した第 2 の実施の形態に係る不良解析システムと比較すれば、C P U 1 0 0 は、第 2 の実施の形態に係る不良解析システムの C P U 1 0 0 が備える構成の他に、特徴量階層化処理部 4 6 を備えていることとなる。特徴量階層化情報記憶装置 2 1 は、図 2 0 に示すような特徴量を階層化した特徴量階層化情報を格納している。チップ領域内不良座標算出部 4 1、ウェーハ内不良座標算出部 4 2、マッピング表示処理部 4 3、特徴量算出部 4 4、特徴量比較部 4 5 については、第 2 の実施の形態で説明したのでここでは省略する。

#### 【 0 0 5 5 】

特徴量階層化処理部 4 6 は、算出された特徴量間に階層化構造を設定し、未知の不良モードの検出及び分類を行う。検出及び分類された不良モードは未知不良パターン情報記憶装置 2 2 に保存される。なお、ユーザは、この未知不良パターン情報記憶装置 2 2 を参照することにより分類された未知不良モードを認識し、新たな特徴量アルゴリズムをプログラム記憶装置 3 3 に追加することが可能である。また、ユーザは新規な特徴量の計算方法をプログラム記憶装置 3 3 に登録することも可能である。

#### 【 0 0 5 6 】

次に、本発明の第 3 の実施の形態に係る不良解析方法について、図 1 5 を参照して説明する。ここでは、上述した第 2 の実施の形態に係る不良解析方法において、不良情報としてパス／フェイルマップを用いて、ステップ S 2 0 1 ～ S 2 0 9 までの処理により特徴量算出結果と不良モードの有無の判定結果が取得されて



いるものとする。

【 0 0 5 7 】

(イ) まず、ステップ S 3 0 1 において、特徴量階層化情報記憶装置 2 1 から図 2 0 に示すような特徴量階層化情報を入力する。続いて、ステップ S 3 0 2 で、特徴量比較部 4 5 からウェーハ I D 情報を付加した特徴量算出結果と不良モードの有無の判定結果を入力する。

【 0 0 5 8 】

(ロ) ステップ S 3 0 3 において、特徴量階層化処理部 4 6 は、算出された特徴量間に階層化構造を設定し、ステップ S 3 0 3 で入力した特徴量階層化情報に基づいて、未知の不良モードの検出及び分類を行う。未知の不良モードの検出は、上位の特徴量で不良があり、かつ一段下位の特徴量で不良がないかどうかを判定する。具体的な特徴量階層化処理部 4 6 の処理方法については後述する。ステップ S 3 0 4 において、上位の特徴量で不良があり、かつ一段下位の特徴量で不良がない場合には、特徴量階層化処理部 4 6 は、上位の特徴量に属する未知の不良パターンであると認識し、その上位の特徴量に属する未知の不良パターンに、ウェーハ I D 情報記憶装置 1 4 から入力したウェーハ I D 情報を付加する。このウェーハ I D 情報を付加した未知の不良パターンは、未知不良パターン情報記憶装置 2 2 に保存される。一方、上位の特徴量で不良があり、かつ一段下位の特徴量で不良がない場合以外は、ステップ S 3 0 5 に進む。

【 0 0 5 9 】

(ハ) ステップ S 3 0 5 において、特徴量階層化処理部 4 6 は、すべての特徴量の階層について S 3 0 1 ~ S 3 0 3 の処理を行ったかどうかを判定する。すべての特徴量の階層について処理を行っていない場合には、ステップ S 3 0 3 に戻る。一方、すべての特徴量の階層について処理を行った場合には、ステップ S 3 0 6 に進む。

【 0 0 6 0 】

(ニ) ステップ S 3 0 6 において、特徴量階層化処理部 4 6 は、すべての対象ウェーハについて S 3 0 1 ~ S 3 0 5 の処理を行ったかどうかを判定する。すべての対象ウェーハについて処理を行っていない場合には、ステップ S 3 0 2 に戻

る。一方、すべての対象ウェーハについて処理を行った場合には処理を終了する。

#### 【 0 0 6 1 】

以下に、図 1 5 のステップ S 3 0 3 における特徴量階層化処理部 4 6 の処理方法について詳しく説明する。

#### 【 0 0 6 2 】

上述した第 2 の実施の形態において、不良モードとして円弧状外周不良の特徴量を定義した。その後、同システム L S I において、図 1 6 に示すウェーハ面内パターンを持つ不良モードが発生したものとする。図 1 6 において、この不良モードはウェーハ 3 の外周に偏っているが、3 つのチップ領域内のメモリユニット全部が不良メモリユニット 5 になっており、明らかに図 1 0 で示した円弧状外周不良とは異なる。したがって、不良モードの発生原因も異なると考えられ、図 1 0 の円弧状外周不良とは区別した分類が必要である。図 1 6 に示すウェーハ 3 の円弧状外周不良の特徴量は 0 . 2 3 であり、閾値 0 . 5 を下回っている。したがって、第 2 の実施の形態に係る不良解析システムにおいては円弧状外周不良はウェーハに存在しないと認識される。

#### 【 0 0 6 3 】

そこで、第 3 の実施の形態に係る不良解析システムにおいては、第 2 の実施の形態に係る不良解析システムにクラスタリングパラメータ計算アルゴリズムを組み込み、図 1 6 に示したウェーハ 3 のクラスタリングパラメータ C を計算した。その結果、負の二項分布の重みを示すクラスタリングパラメータ  $C = 3 2 \%$  となり、何らかのクラスタリングが生じていることを示す結果となった。以上の結果により、図 1 6 の不良パターンは何らかの未知のクラスタリング不良が生じているものであると自動判定できる。

#### 【 0 0 6 4 】

図 1 0、図 1 6 に示す不良モードは共に外周不良の一種である。ここで外周不良全体を抽出する特徴量を考える。図 1 7 に示すように、ウェーハの半径を  $r$  として、ウェーハ中心から  $r / 2$  までのウェーハ内周領域 1 0 と、 $r / 2$  からウェーハエッジまでのウェーハ外周領域 1 1 の 2 つの領域を考える。ウェーハ内周領

域10に属する全メモリユニット数を $n_0$ 、ウェーハ外周領域11に属する全メモリユニット数を $n_1$ とする。そして、ウェーハ内周領域10に属する不良メモリユニット数を $f_0$ 、ウェーハ外周領域11に属する不良メモリユニット数を $f_1$ とする。各ウェーハ領域10, 11の不良メモリユニット密度 $d_0$ 、 $d_1$ をそれぞれ式(2), (3)により定義する。

【0065】

$$d_0 = f_0 / n_0 \quad \cdots \cdots (2)$$

$$d_1 = f_1 / n_1 \quad \cdots \cdots (3)$$

不良のウェーハ内外周偏り度 $k$ を式(4)により定義する。

【0066】

$$k = -2 \{ d_0 / (d_0 + d_1) \} + 1 \quad \cdots \cdots (4)$$

式(4)において、 $k$ は+1から-1の連続値を取る。例えば、不良がウェーハ外周領域11に完全に偏れば+1、ウェーハ内周領域10に完全に偏れば-1、ウェーハ全体に均等に分布すれば0となる。

【0067】

また、ウェーハ内周領域10、ウェーハ外周領域11への偏りを $\chi^2$ 乗検定により判定する。すなわち、各ウェーハ領域10, 11での不良メモリユニット数の期待値 $e_0$ 、 $e_1$ をそれぞれ式(5), (6)により求める。

【0068】

$$e_0 = (f_0 + f_1) \cdot \{ n_0 / (n_0 + n_1) \} \quad \cdots \cdots (5)$$

$$e_1 = (f_0 + f_1) \cdot \{ n_1 / (n_0 + n_1) \} \quad \cdots \cdots (6)$$

そして、 $\chi^2$ 乗検定値を式(7)により計算する。

【0069】

$$\chi^2 = (f_0 - e_0)^2 / e_0 + (f_1 - e_1)^2 / e_1 \quad \cdots \cdots (7)$$

式(7)の値を、自由度1の $\chi^2$ 乗分布関数に代入した値を $P$ とする。ウェーハ内周領域10とウェーハ外周領域11の不良分布の偏りに有意差が存在するか否かを $P$ を用いて判定する。

【0070】

ここで、式(4)の $k$ と式(7)の $\chi^2$ 値から算出した $P$ からなる2次元パラ

メータ空間を考える。20枚のウェーハについてオペレータにより判定された外周不良の有無をこのパラメータ空間にプロットした結果を図18に示す。オペレータは、図10及び図16に示す不良モードの他、ウェーハ3の外周部に不良が偏る傾向があれば、外周不良発生ウェーハであると判断する。これより、

$$k \geq 0.5 \quad \dots\dots (8)$$

$$P \leq 0.05 \quad \dots\dots (9)$$

に外周不良ウェーハが存在する領域があることがわかる。すなわち、図18に示すkおよびPの2個のパラメータからなる空間で外周不良全体を抽出できることがわかる。

#### 【0071】

次に、kおよびPの2個のパラメータで表現される外周不良を、図19に示すように1つのスカラー量Qで表現する。図19において、 $(k, P) = (1, 0)$ の点で $Q = 1$ 、 $k = 0.5$ の線および $P = 0.05$ の線で囲まれる外周不良領域の境界線上で $Q = 0.5$ 、 $k = -1$ の線上および $P = 1$ の線上で $Q = 0$ の値を取り、その間を補間した等高線を求める。このQを、外周不良全体を抽出するスカラー化した特徴量とする。

#### 【0072】

ここで、クラスタリング不良全体を抽出するクラスタリングパラメータC、外周不良全体を抽出する特徴量Q、及び円弧状外周不良を抽出する特徴量aについて、図20に示す階層化構造を考える。もし、クラスタリング不良全体を抽出するクラスタリングパラメータCでは検出されるが、外周不良全体を抽出する特徴量Qでは検出されない不良が存在する場合には、外周不良以外の未知のクラスタリング不良であると判定できる。同様に、外周不良全体を抽出する特徴量Qでは検出されるが、円弧状外周不良を抽出する特徴量aでは検出されない不良が存在する場合には、円弧状外周不良以外の未知の外周不良であると判定できる。

#### 【0073】

このように、広範な不良モードを抽出する上位の特徴量と、特定の不良モードだけを抽出する下位の特徴量で階層構造を構成することにより、未知の不良モードの存在を検出するだけでなくその分類を行うことが可能となる。この特徴量の

階層構造を持つシステムは、未知の不良モードを与えられた階層の中で分類し、オペレータに未知の不良モードの出現を警告する。オペレータは、その不良モードのフェイルビットマップ又はパス／フェイルマップをマッピング表示した結果を目視して、その不良モードを認識する。そして、その不良モードを抽出する特徴量を不良解析システムに加える。この操作を繰り返していくことで、不良解析システムが自動抽出及び分類することができる不良モードの数を増大させていくことが可能となる。なお、本発明の第 3 の実施の形態で述べたアルゴリズムは、第 2 の実施の形態に係る不良解析方法を用いることにより、システム L S I において豊富な不良情報を使用したシステムとして構築することが可能である。

## 【 0 0 7 4 】

以上述べたように、第 3 の実施の形態によれば、特徴量間に階層構造を持たせることにより、未知の不良モードを検出し、かつ階層構造の中で自動分類することが可能となる。

## 【 0 0 7 5 】

## (半導体装置の製造方法)

次に、上述した不良解析方法を用いた半導体装置の製造方法について、図 2 1 を参照して説明する。本発明の実施の形態における半導体装置の製造方法は、パターン設計工程（図示せず）、ステップ S 3 1 におけるマスク製造工程、ステップ S 3 2 のウェーハ工程、ステップ S 3 3 のテスト工程、ステップ S 3 4 の不良解析工程と、ステップ S 3 5 のアSEMBル工程、ステップ S 3 6 の検査工程からなり、その後、ステップ S 3 7 の出荷工程へ流される。

## 【 0 0 7 6 】

通常は、ステップ S 3 1 のマスク製造工程までが準備段階であり、ステップ S 3 2 ～ S 3 5 までの一連の工程がロット単位で繰り返し実施される。ステップ S 3 6、S 3 7 は、ロットと連繫していても良く、ロットと独立した工程として進められてもよい。そして、一定の製品が蓄積された後、ステップ S 3 7 の出荷工程に移る。以下、各工程の詳細について説明する。

## 【 0 0 7 7 】

(イ) まず、プロセスシミュレーション、デバイスシミュレーション、回路シ

ミュレーション等の結果をもとに C A D システムを用いて、メモリユニットを含むシステム L S I の表面パターンを実現するために必要な枚数のマスクデータを作成する。そして、半導体製造工程の各プロセスの段階に対応したウェーハ上の各層や内部構造をそれぞれ実現するために必要なマスクデータをもとに、ステップ S 3 1 において、電子ビーム露光装置等のパターンジェネレータを使用して、必要な枚数のマスク（レチクル）のセットを製造する。

## 【 0 0 7 8 】

（ロ）次に、ステップ S 4 1 において、各工程に必要なそれぞれのレチクルを用いたフォトリソグラフィ工程を繰り返すことにより半導体ウェーハに対する基板工程がなされる。例えば、対応するレチクルを用いることにより半導体ウェーハ上に塗布されたフォトレジストをステッパーで露光し、パターニングしたマスクを用いて選択拡散工程、選択イオン注入工程等がなされる。さらに、酸化工程や C V D 工程で形成された各種の薄膜を、他の対応するレチクルを用いて形成されたフォトレジストのマスク等を用いてエッチングする。また、半導体ウェーハの表面にトレンチ等が選択的に形成される。

## 【 0 0 7 9 】

（ハ）そして、ステップ S 4 2 において、同様に各工程に必要なレチクルを用いて所望のパターンを描画することにより基板表面に対して配線処理が施される（表面配線工程）。ステップ S 4 2 における表面配線工程では C V D 等による絶縁膜の堆積工程、この絶縁膜に対するコンタクトホール（ビアホール）の開口工程、蒸着、スパッタリング等による金属膜の堆積工程等が順に繰り返され、多層配線構造が形成される。

## 【 0 0 8 0 】

（二）次にステップ S 3 3 のテスト工程において、ウェーハ上のチップ領域パターンのパッドに針を当て、電気的特性を測定する。この電気的特性の測定結果により、各チップ領域パターンを良品チップ領域、不良品チップ領域に選別する。このテストの結果得られたフェイルビットマップやパス／フェイルマップ等は、図 3 に示す不良情報記憶装置 1 5 に保存される。

## 【 0 0 8 1 】

(ホ) ステップ S 3 4 では、不良情報記憶装置 1 5 からフェイルビットマップやパス／フェイルマップ等の不良情報を読み出し、図 4 に示すフローチャートに従い、この不良情報からウェーハ内不良座標を算出し、ウェーハ面上の物理座標に従ってマッピング表示を行う。マッピング表示方法は、上述したように、チップ領域内不良座標算出部 4 1 により、配置情報と不良情報に基づいて、チップ領域内不良座標を算出する。続いて、ウェーハ内不良座標算出部 4 2 により、露光位置情報と算出したチップ領域内不良情報に基づいて、ウェーハ内不良座標を算出する。そして、マッピング表示処理部 4 3 により、ウェーハ内不良座標を、ウェーハ面上の物理座標に従ってマッピング表示する。

## 【 0 0 8 2 】

更に、図 1 2 に示すフローチャートに従い、不良パターンの自動検出および自動分類を行う。自動検出および自動分類方法は、上述したように、特徴量算出部 4 4 により、マッピング表示結果を用いて、例えば円弧状外周不良の特徴量を算出する。続いて、特徴量比較部 4 5 により、算出された特徴量を特徴量閾値情報記憶装置 1 9 の特徴量閾値情報と比較して、円弧状外周不良の有無の判定を行う。算出された特徴量が特徴量閾値情報よりも小さければ円弧状外周不良無しと判定し、算出された特徴量が特徴量閾値情報よりも大きい等しければ円弧状外周不良有りと判定する。

## 【 0 0 8 3 】

更に、図 1 5 に示すフローチャートに従い、不良解析システムに予め登録していない未知の不良パターンにおいても自動分類を行う。自動分類方法は、上述したように、特徴量階層化処理部 4 6 により、算出された特徴量間に階層化構造を設定し、未知の不良モードの検出及び分類を行う。ここで、特徴量階層化処理部 4 6 は、特徴量階層化情報記憶装置 2 1 の特徴量階層化情報に基づいて、上位の特徴量で不良があり、かつ一段下位の特徴量で不良がないかどうかを判定し、上位の特徴量で不良があり、かつ一段下位の特徴量で不良がない場合には、上位の特徴量に属する未知の不良パターンであると判定する。このようにして特定された不良パターンからその原因となっている製造プロセスが特定できれば、ステップ S 6 1 で前工程の製造プロセスの見直し、ステップ S 6 2、S 6 3 で不良の原

因となる製造プロセスに関連した製造装置の修理や改造を行う。あるいは、ステップ S 7 2、S 7 3 で不良の発生となった特定の製造プロセスの条件（レシピ）を修正する。そして、不良製造プロセスが薄膜の堆積のやり直し等で対応できる場合には、不良の薄膜を全面除去し、不良工程からやり直す。一方、製造プロセスのやり直しが不可能な場合は、次のロットの工程から、修理や改造をした製造装置あるいは修正されたレシピを用いるように不良の解析結果をフィードバックして次のロットの歩留まりを改善することが可能である。また、前工程（ステップ S 3 2）の設計そのものに設計に問題があれば、ステップ S 3 1 のマスク製造工程からやり直す（必要があればプロセスシミュレーション等も加える。）。

## 【 0 0 8 4 】

（ヘ）前工程（ウェーハ工程）が完了すれば、ステップ S 5 1 において、ダイヤモンドブレード等のダイシング装置により、所定のチップサイズのチップに分割する（ダイシング工程）。そして、ステップ S 5 2 において、パッケージング材料にチップをマウントし（マウント工程）、ステップ S 5 3 において、チップ上の電極パッドとリードフレームのリードを金線やバンプで接続する（ボンディング工程）。次に、ステップ S 5 4 において、樹脂封止等の所要のパッケージ組み立ての工程を実施する（封止工程）。

## 【 0 0 8 5 】

（ト）次に、ステップ S 3 6 において、半導体装置の性能・機能に関する特性検査、リード形状・寸法状態、信頼性試験等の所定の検査を経て（検査工程）、半導体装置が完成する。ステップ S 3 7 において、以上の工程をすべてクリアした半導体装置は、水分、静電気等から保護するための包装を施され、製品として出荷される。

## 【 0 0 8 6 】

（その他の実施の形態）

本発明は上記の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施の形態及び運用技術が明らかとなろう。

## 【 0 0 8 7 】



例えば、本発明の実施の形態では、チップ領域内不良座標算出部、ウェーハ内不良座標算出部、マッピング表示処理部、特徴量算出部、特徴量比較部、特徴量階層化処理部を一つの処理制御装置（CPU）内にあるとして説明したが、それらが二つあるいはそれ以上の処理制御装置に分かれていても構わない。その際はそれらの処理制御装置間でデータのやりとりが行えるようにバスなどで装置間を接続しているとする。

#### 【0088】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

#### 【0089】

##### 【発明の効果】

以上述べたように、本発明によれば、チップ領域内に複数分散して存在するメモリユニットの不良情報を用いて、チップ領域以下の分解能を持つ不良位置情報を工場の生産性を低下させることなく大量の生産ウェーハにおいて取得することが可能である。この不良位置情報を用いて、不良パターンを特徴量化することにより発生頻度の低い不良パターンでも検出することが可能となる。また、大量のウェーハの解析により未知の不良パターンが多く見つかった場合でも、その未知の不良パターンの自動分類が可能となる。

##### 【図面の簡単な説明】

#### 【図1】

複数のメモリユニットを含むシステムLSIのチップレイアウト図である。

#### 【図2】

各メモリユニットのフェイルビットマップの模式図である。

#### 【図3】

本発明の第1の実施の形態に係る不良解析システムのブロック図である。

#### 【図4】

本発明の第1の実施の形態に係る不良解析方法を示すフローチャート図である。

【図 5】

各メモリユニットのフェイルビットマップのウェーハ面上におけるマッピング表示結果である。

【図 6】

各メモリユニットのパス／フェイルマップの模式図である。

【図 7】

各メモリユニットのパス／フェイルマップのウェーハ面上におけるマッピング表示結果である。

【図 8】

ウェーハ外周に不良の多いウェーハの各メモリユニットのパス／フェイルマップの模式図である。

【図 9】

ウェーハ外周に不良の多いウェーハのチップ単位のパス／フェイルマップの模式図である。

【図 1 0】

ウェーハ外周に不良の多いウェーハの各メモリユニットのパス／フェイルマップのウェーハ面上におけるマッピング表示結果である。

【図 1 1】

本発明の第 2 の実施の形態に係る不良解析システムのブロック図である。

【図 1 2】

本発明の第 2 の実施の形態に係る不良解析方法を示すフローチャート図である。

【図 1 3】

円弧状外周不良の特徴量の定義を示した図である。

【図 1 4】

本発明の第 3 の実施の形態に係る不良解析システムのブロック図である。

【図 1 5】

本発明の第 3 の実施の形態に係る不良解析方法を示すフローチャート図である。

【図 1 6】

ウェーハ外周に不良の多いウェーハの各メモリユニットのパス／フェイルマップのウェーハ面上におけるマッピング表示結果である。

【図 1 7】

外周不良全体を抽出する特徴量の領域定義を示した図である。

【図 1 8】

外周不良全体を抽出するパラメータ値の分布図である。

【図 1 9】

外周不良全体を抽出する特徴量の定義を示した図である。

【図 2 0】

未知の不良パターンを自動分類するための特徴量の階層構造を示した図である。

【図 2 1】

本発明の実施の形態に係る半導体装置の製造方法を説明するためのフローチャート図である。

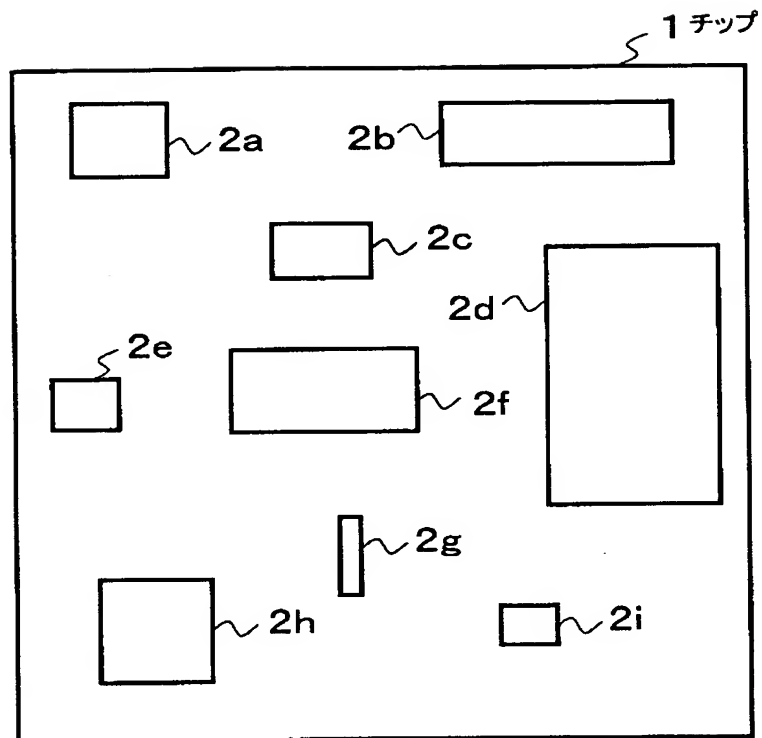
【符号の説明】

- 1 …チップ
- 2 a, 2 b, . . . , 2 i …メモリユニット
- 3 …ウェーハ
- 4 …不良ビット
- 5 …不良メモリユニット
- 6 …不良チップ
- 7 a, 7 b, . . . , 7 i …フェイルビットマップ
- 8 a, 8 b, . . . , 8 i …パス／フェイルマップ
- 9 a, 9 b, . . . , 9 i …パス／フェイルマップ
- 1 0 …ウェーハ内周領域
- 1 1 …ウェーハ外周領域
- 1 2 …回路配置情報記憶装置
- 1 3 …露光位置情報記憶装置

- 1 4 …ウェーハ I D 情報記憶装置
- 1 5 …不良情報記憶装置
- 1 6 …チップ領域内不良座標記憶装置
- 1 7 …ウェーハ内不良座標記憶装置
- 1 8 …マッピング表示情報記憶装置
- 1 9 …特徴量閾値情報記憶装置
- 2 0 …特徴量情報記憶装置
- 2 1 …特徴量階層化情報記憶装置
- 2 2 …未知不良パターン情報記憶装置
- 3 1 …入力装置
- 3 2 …出力装置
- 3 3 …プログラム記憶装置
- 3 4 …データ記憶装置
- 4 1 …チップ領域内不良座標算出部
- 4 2 …ウェーハ内不良座標算出部
- 4 3 …マッピング表示処理部
- 4 4 …特徴量算出部
- 4 5 …特徴量比較部
- 4 6 …特徴量階層化処理部
- 1 0 0 …C P U

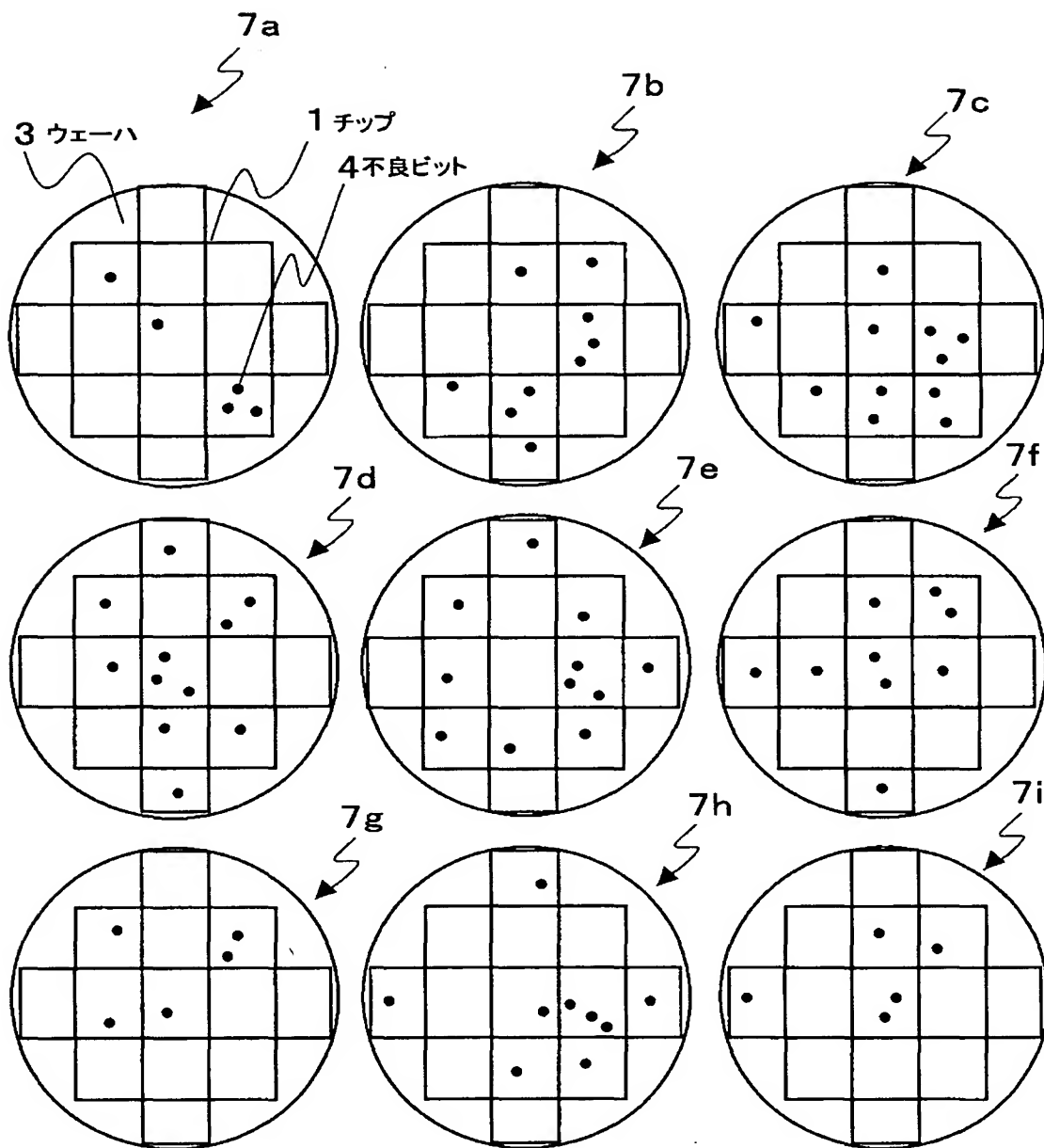
【書類名】 図面

【図 1】

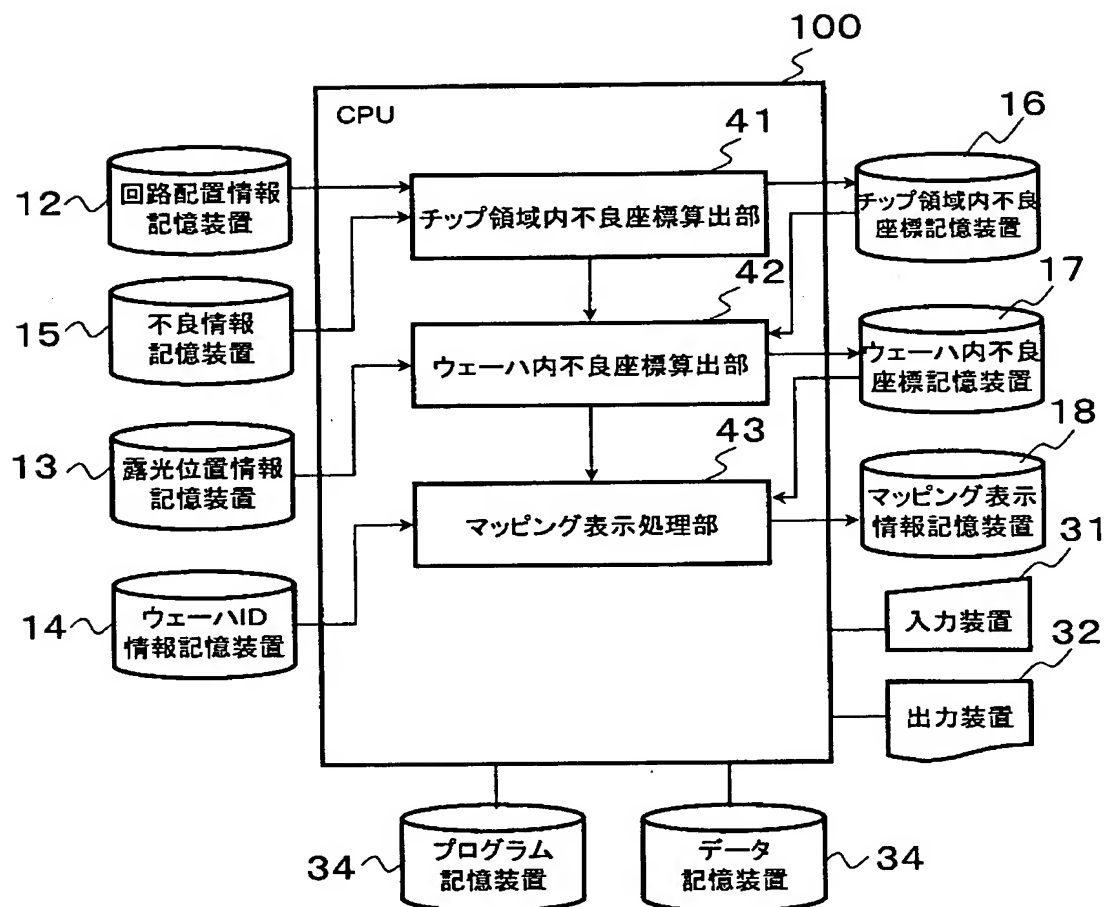


2a, 2b~2i: メモリユニット

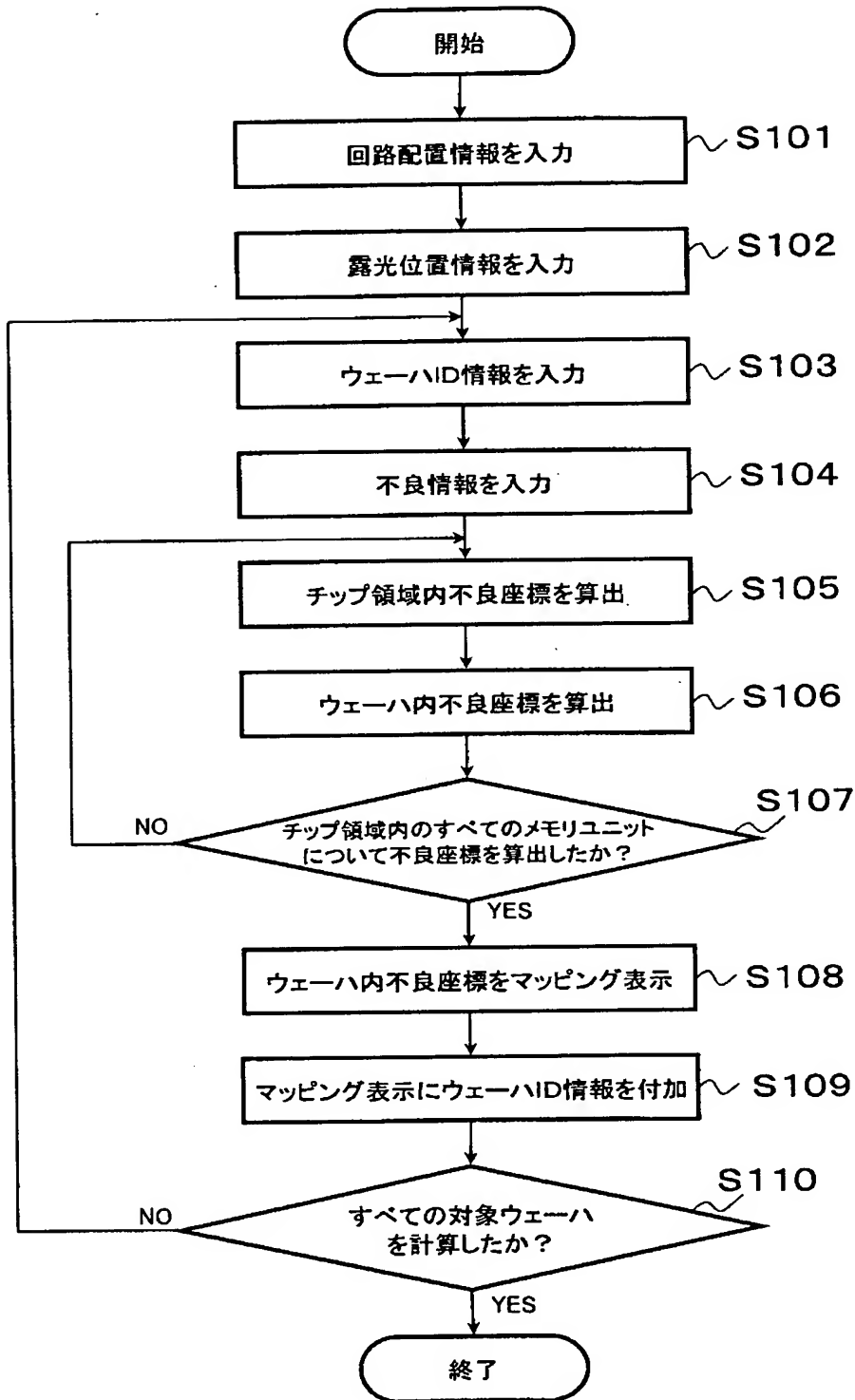
【図2】



【図3】

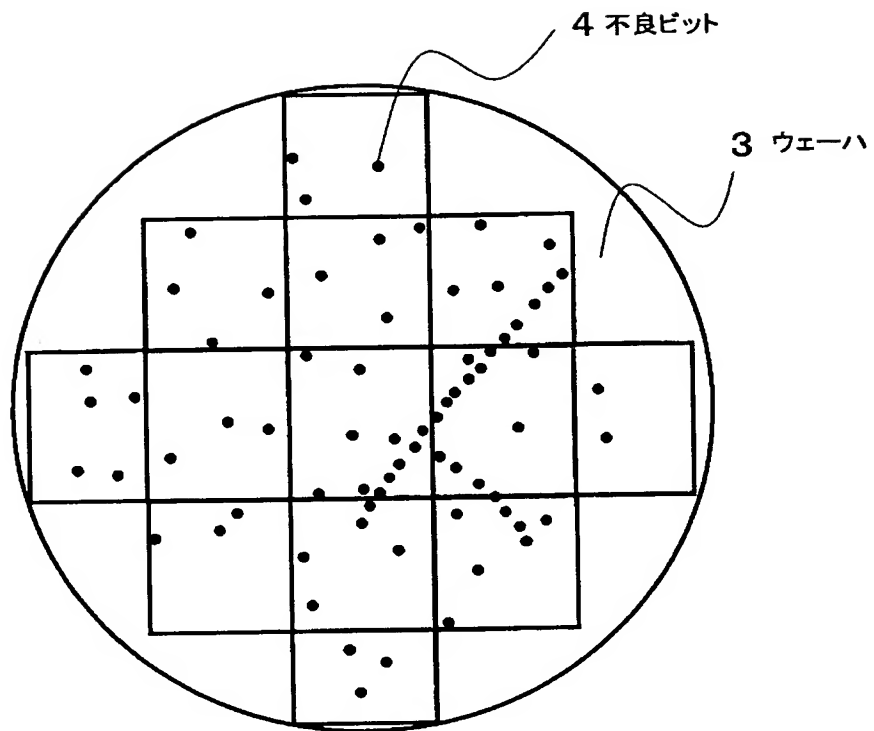


【図4】

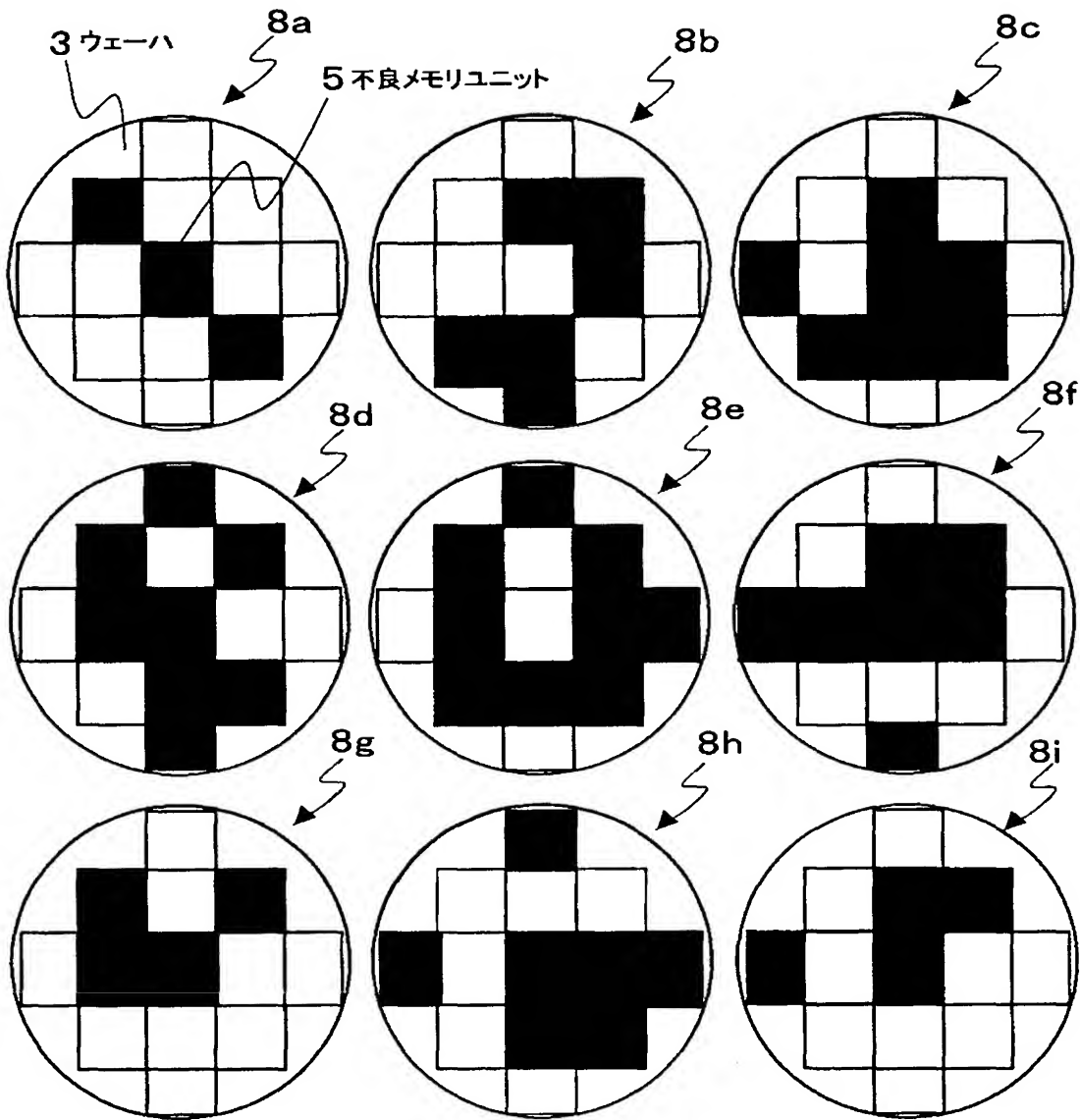




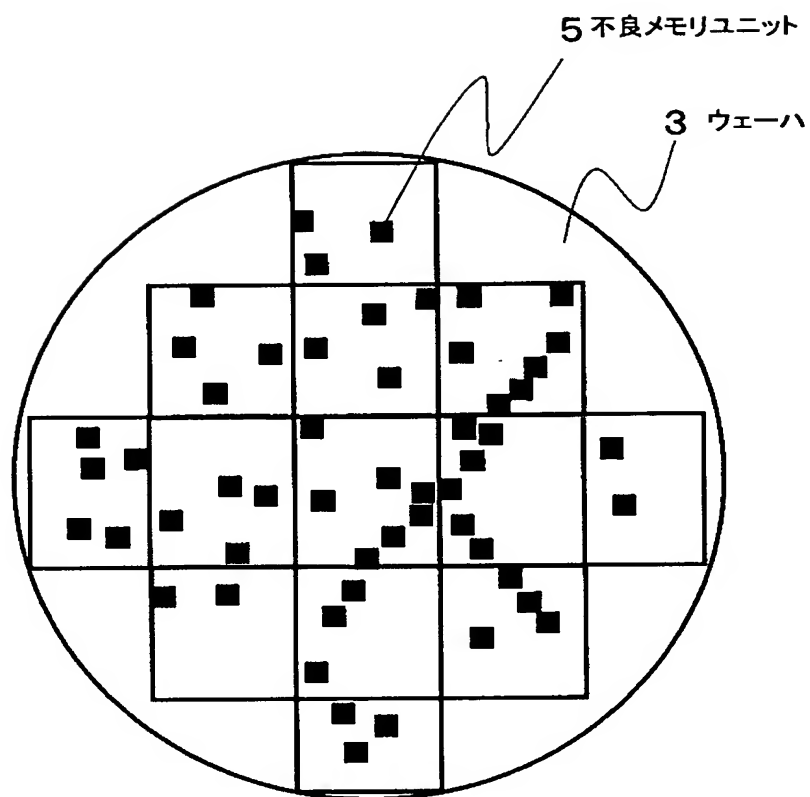
【図5】



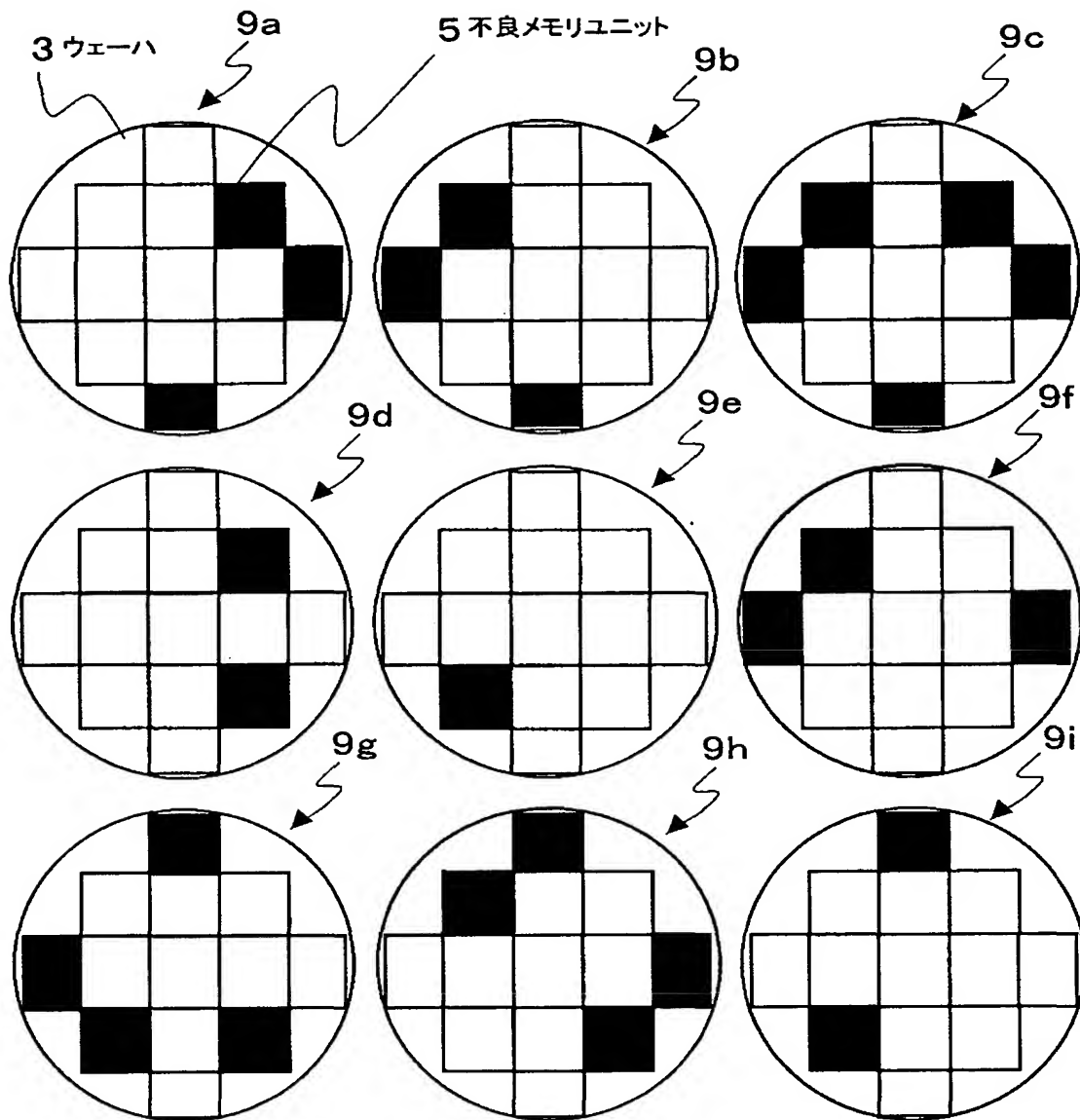
【図 6】



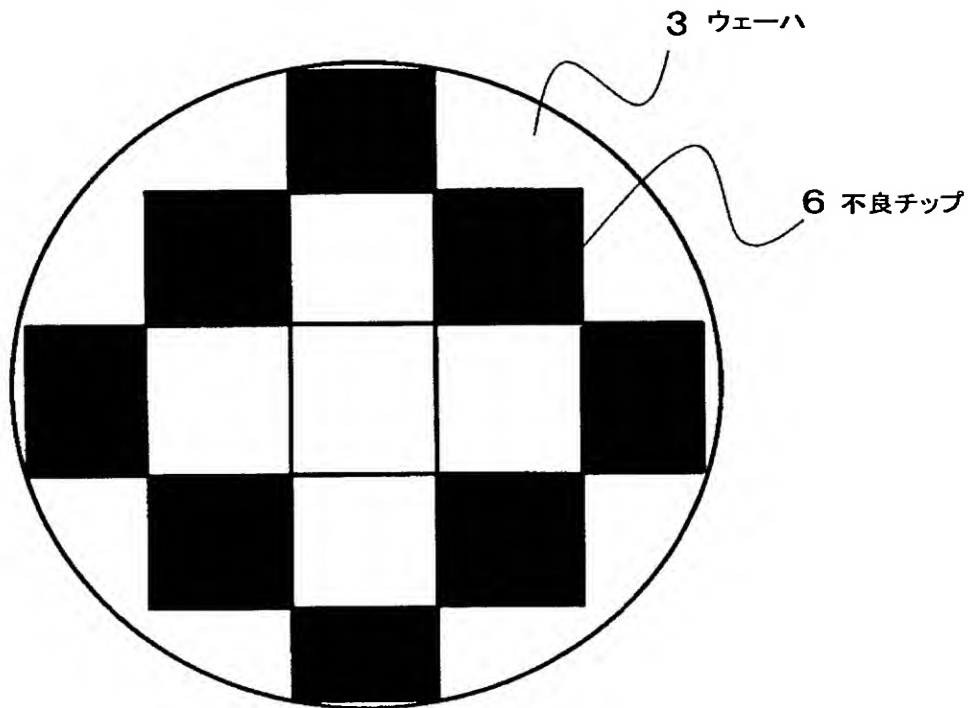
【図 7】



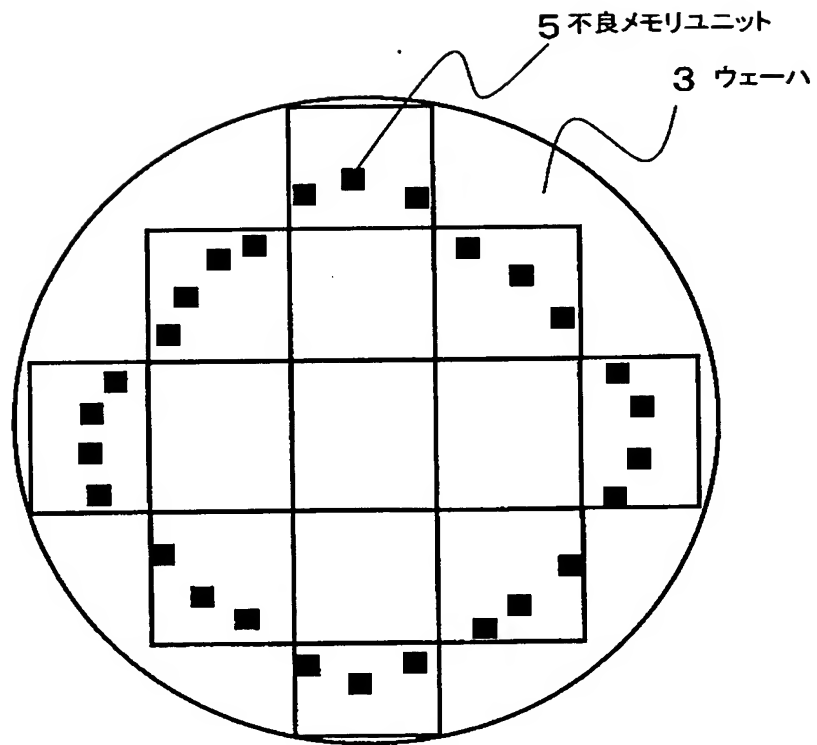
【図 8】



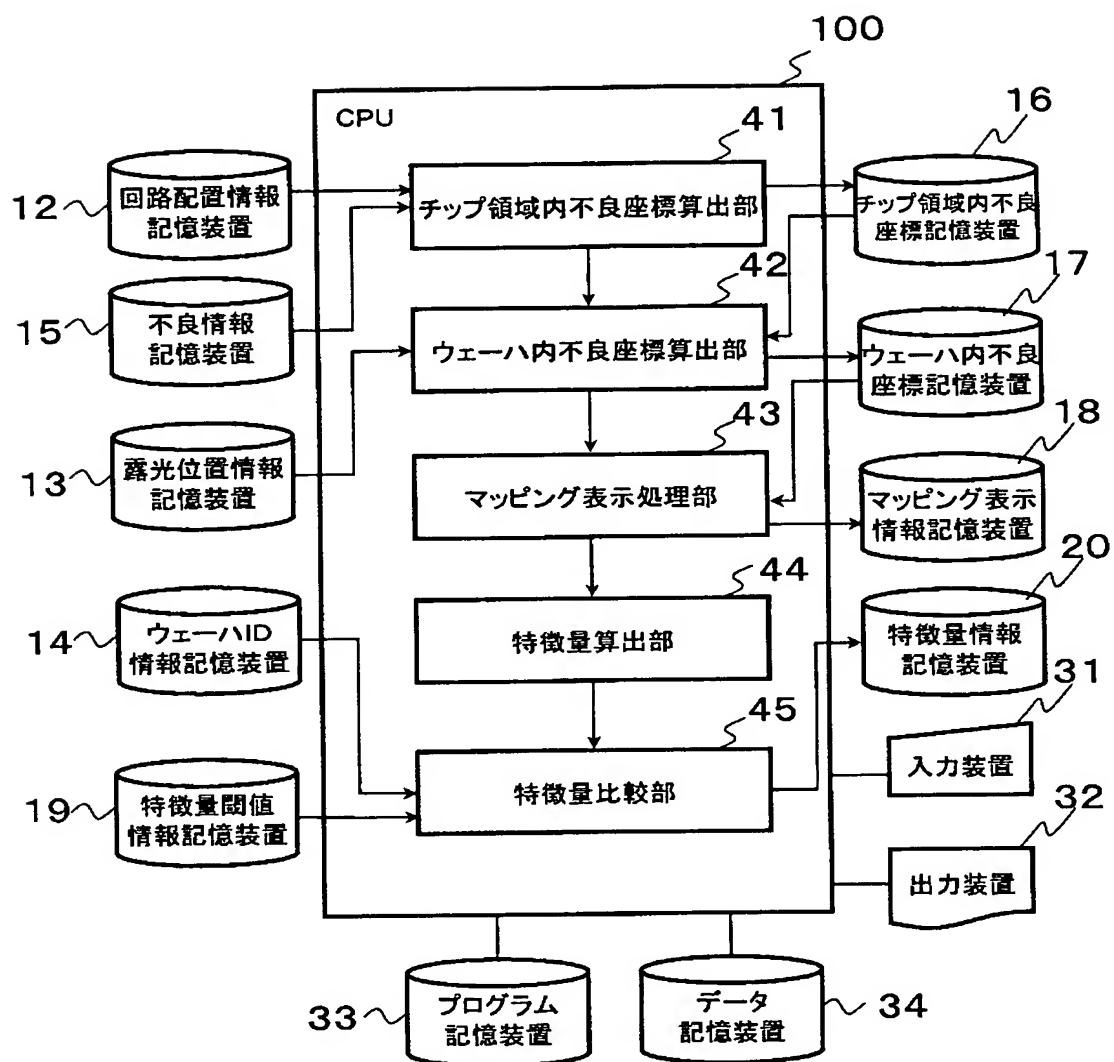
【図 9】



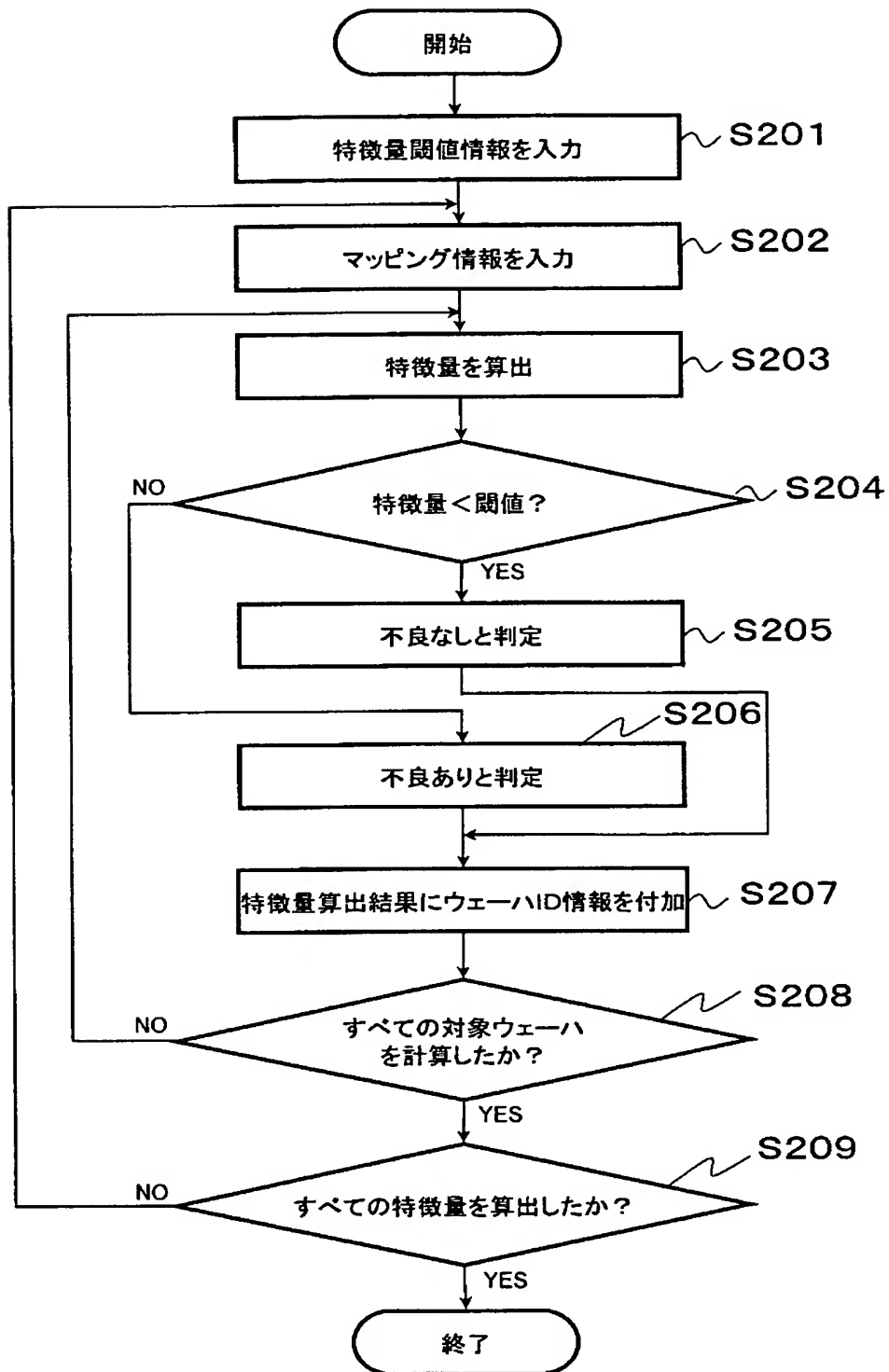
【図 1 0】



【図11】

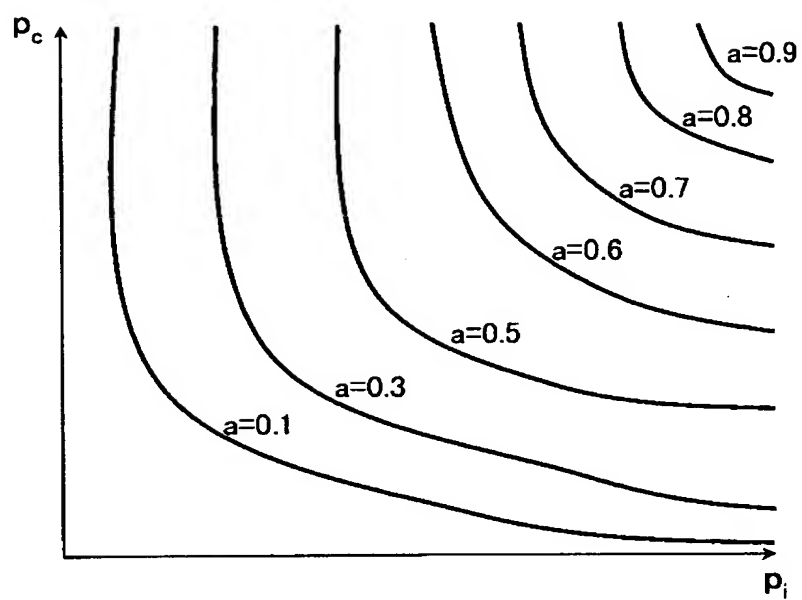


【図 1 2】

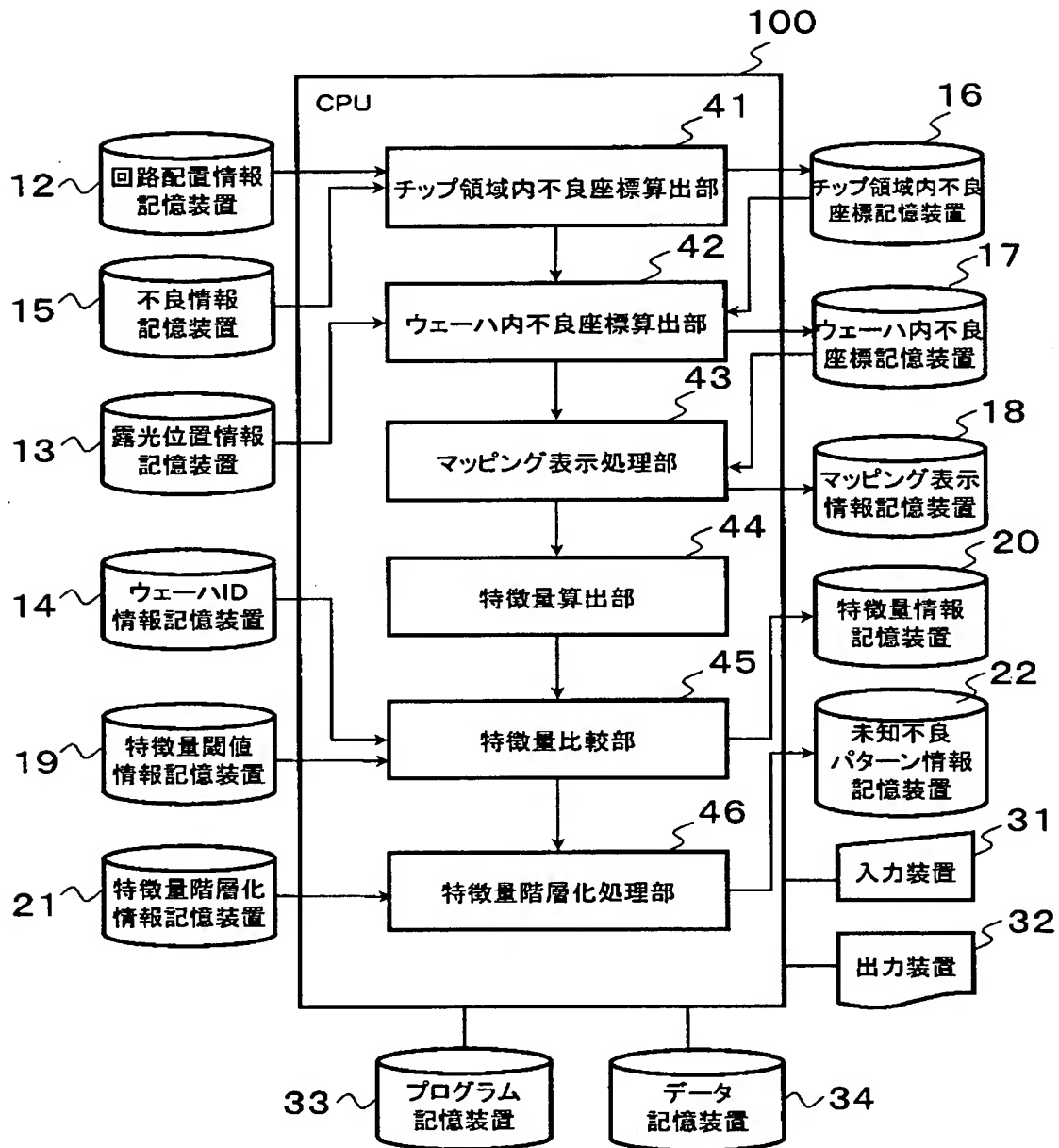




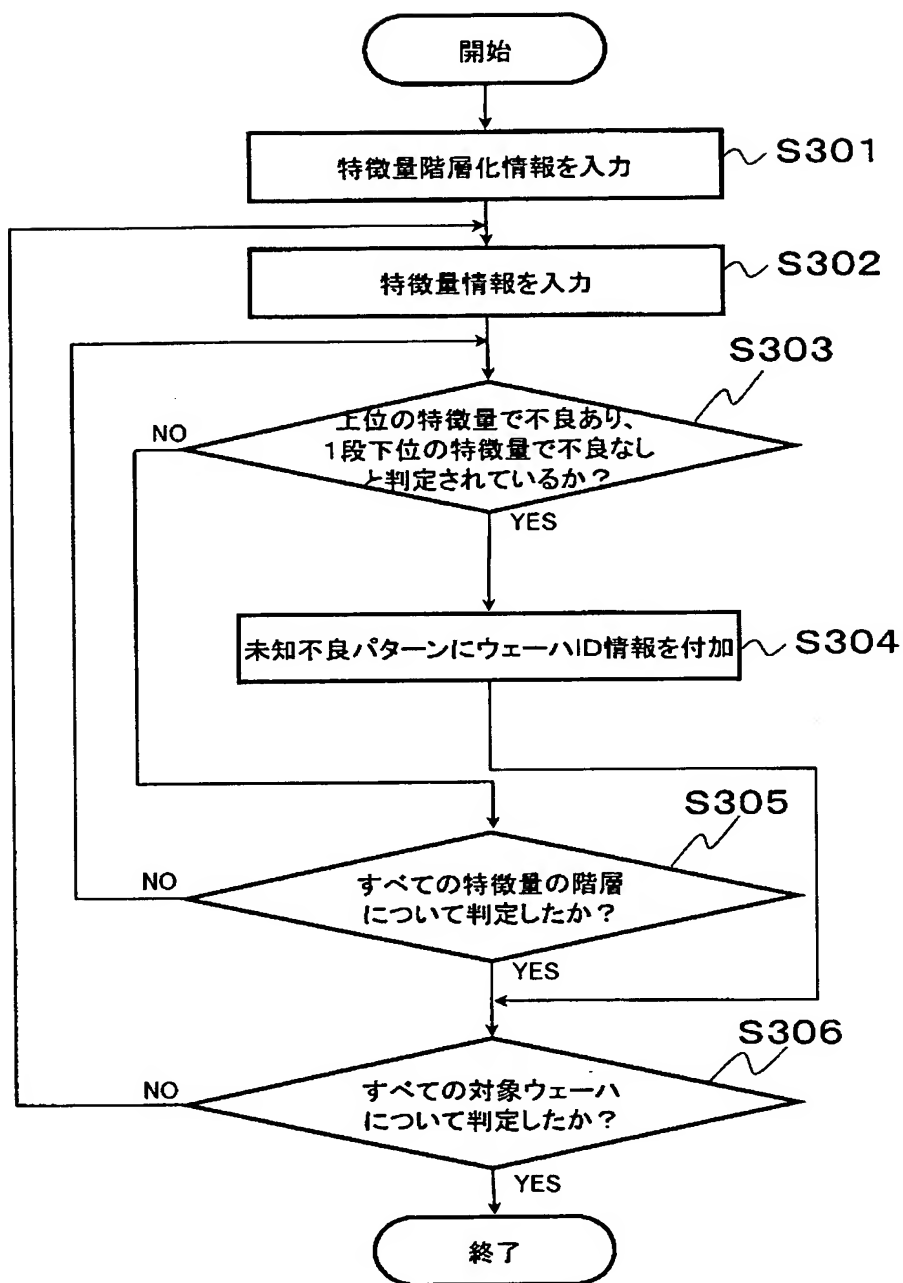
【図 1 3】



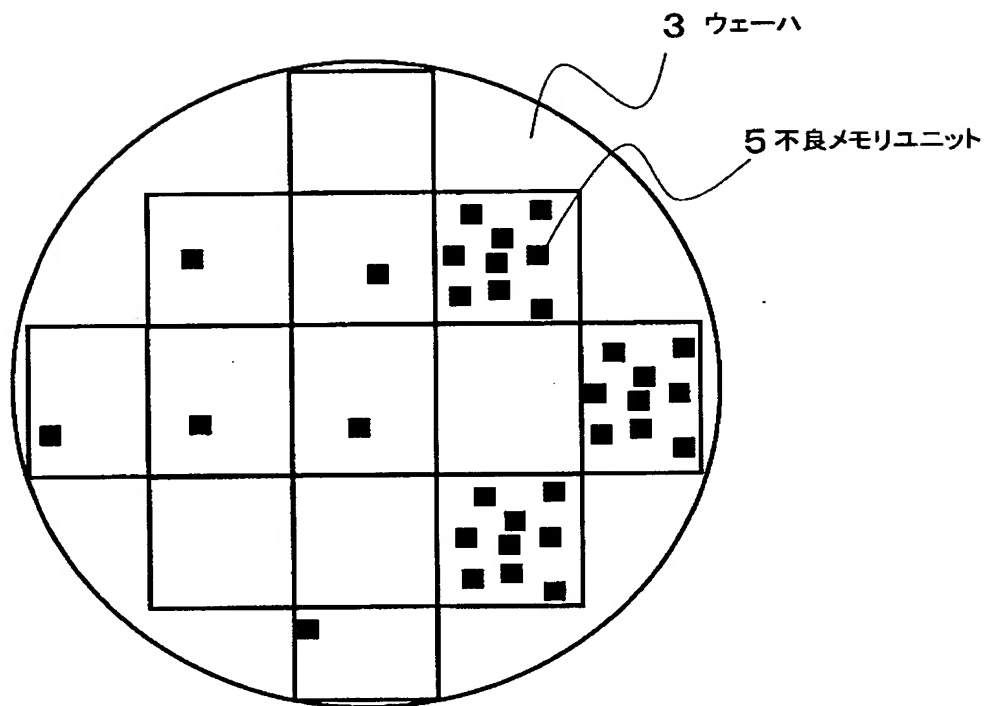
【図14】



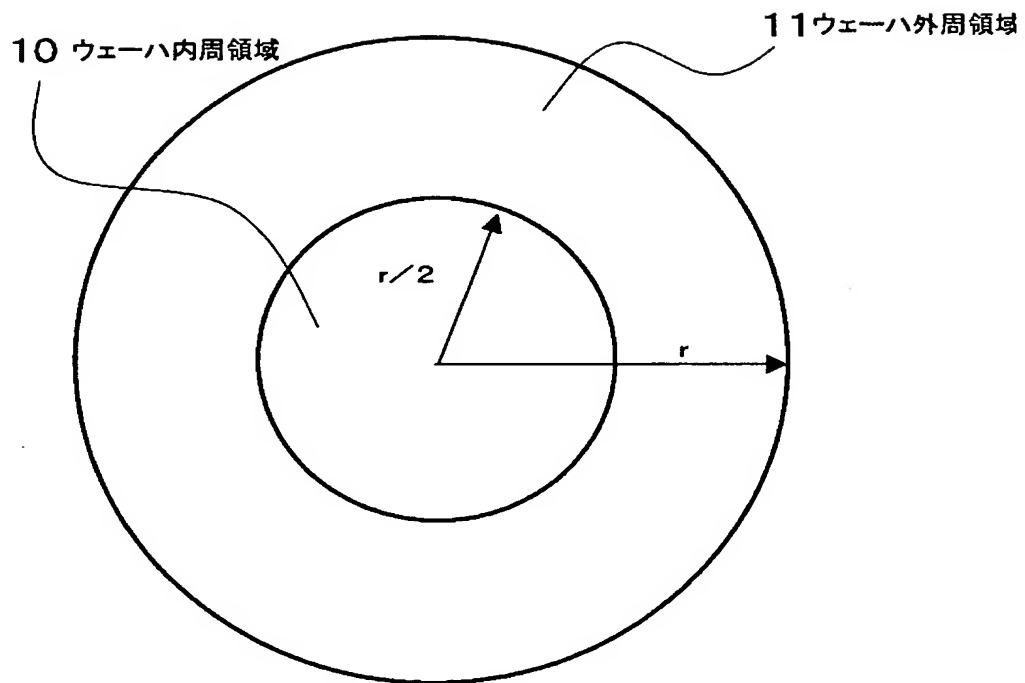
【図15】



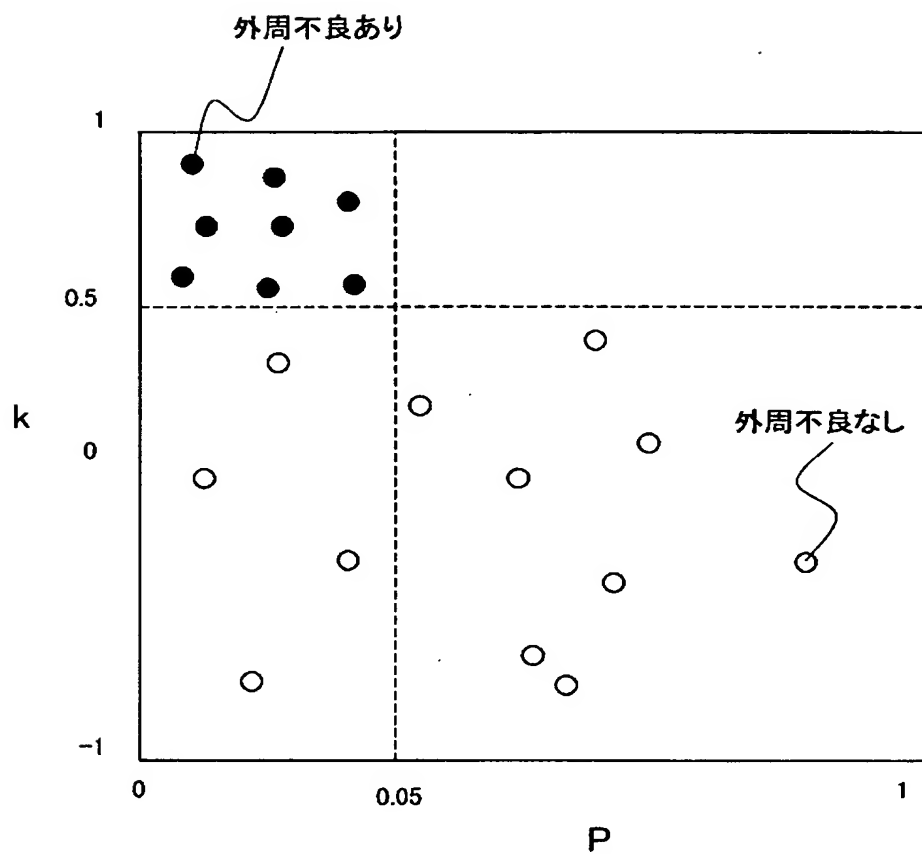
【図 16】



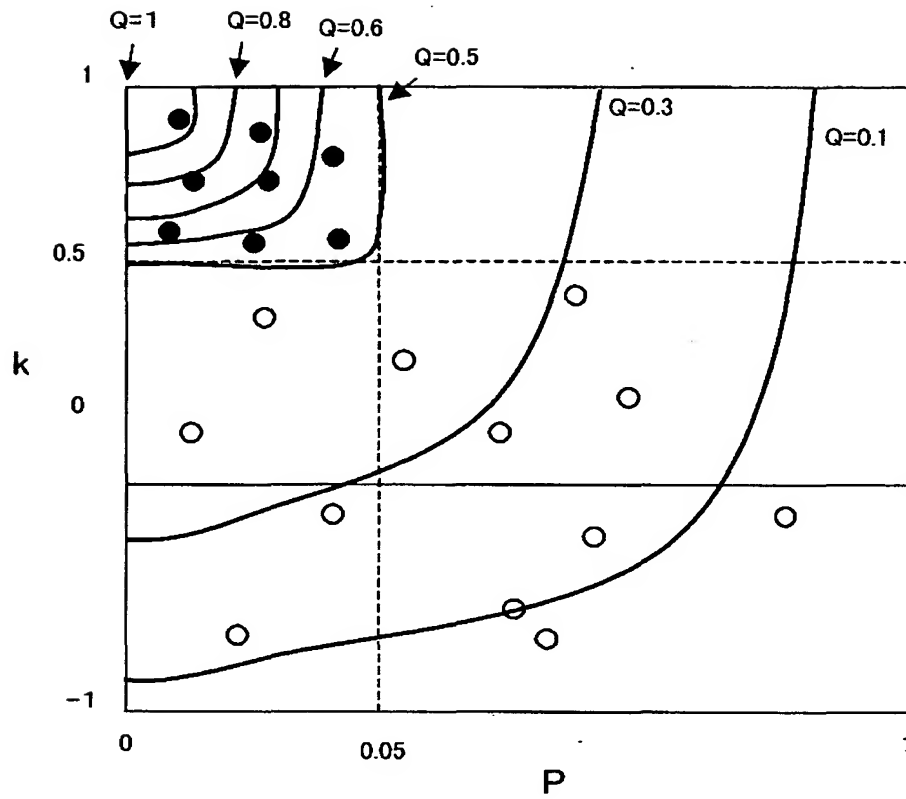
【図 1 7】



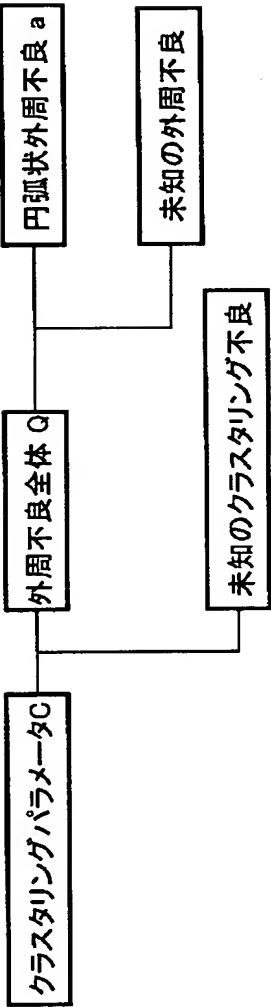
【図 1 8】



【図 19】

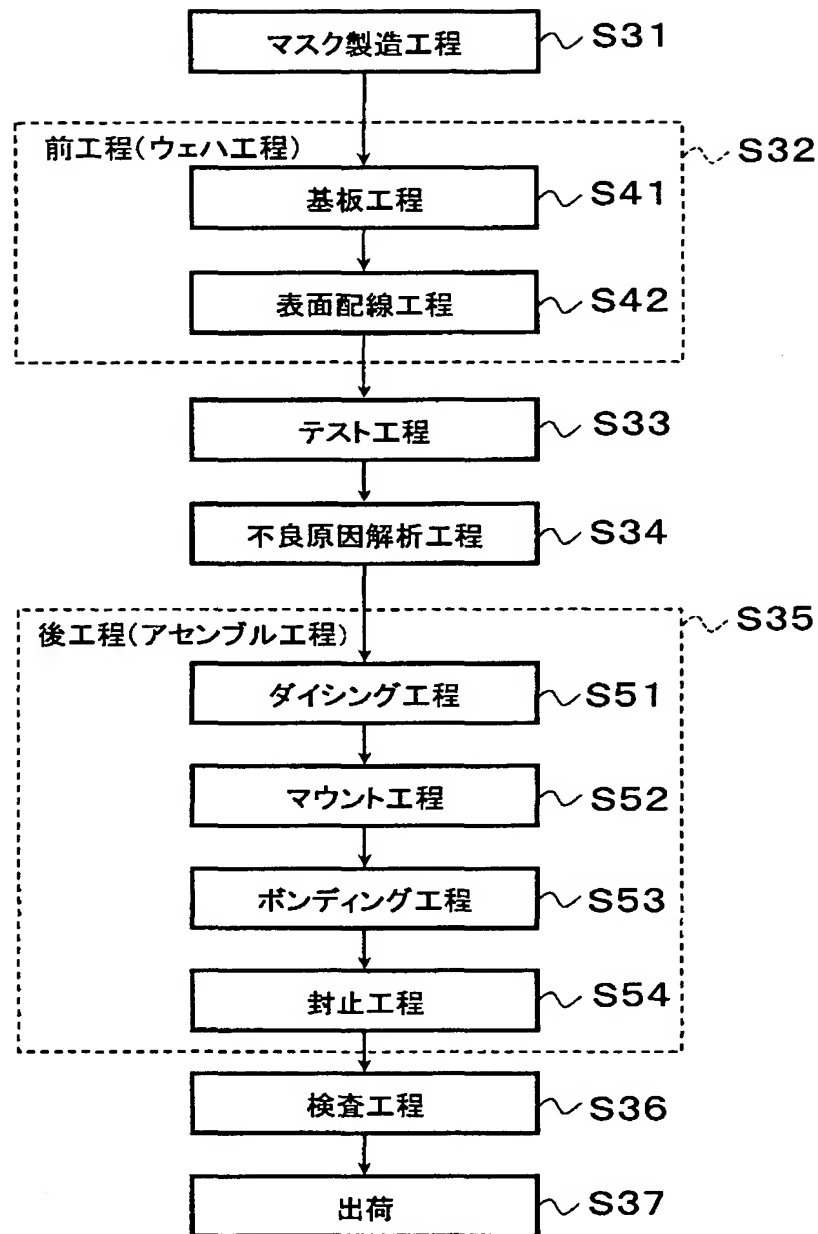


【図 2 0】





【図 21】



【書類名】 要約書

【要約】

【課題】 製造プロセス又は製造装置に起因した不良の検出を可能とし、不良の原因となったプロセスを特定する。

【解決手段】 不良解析システムは、チップ領域内に配置された複数のメモリユニットの配置情報とメモリユニットの不良情報に基づいて、メモリユニットのチップ領域内不良座標を算出するチップ領域内不良座標算出部 4 1、チップ領域内不良座標とウェーハ面内のチップ領域配置を示す露光位置情報に基づいて、ウェーハ内不良座標を算出するウェーハ内不良座標算出部 4 2、ウェーハ内不良座標をウェーハ面上の物理座標に従ってマッピング表示するマッピング表示処理部 4 3 とを備える。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝